

Bài 1:

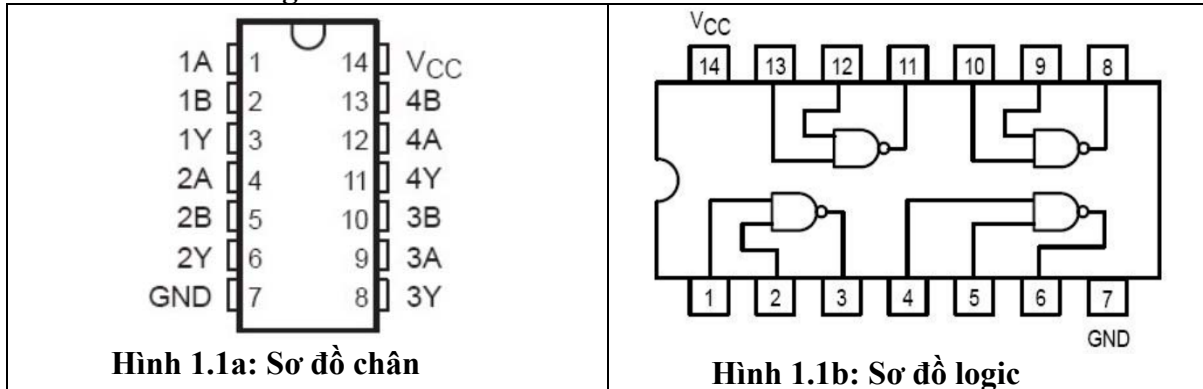
KHẢO SÁT CÔNG LOGIC

I. Mục đích yêu cầu của việc khảo sát các cổng logic:

- Khảo sát các cổng logic cơ bản: làm quen với các vi mạch cổng logic, vẽ đặc tuyến truyền đạt, xác định dãy điện áp của các mức logic của các cổng logic.
- Thiết kế các mạch ứng dụng các cổng logic.

II. Khảo sát cổng NAND - IC 74LS00 :

1. Sơ đồ chân và logic của IC 7400



2. Bảng trạng thái

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

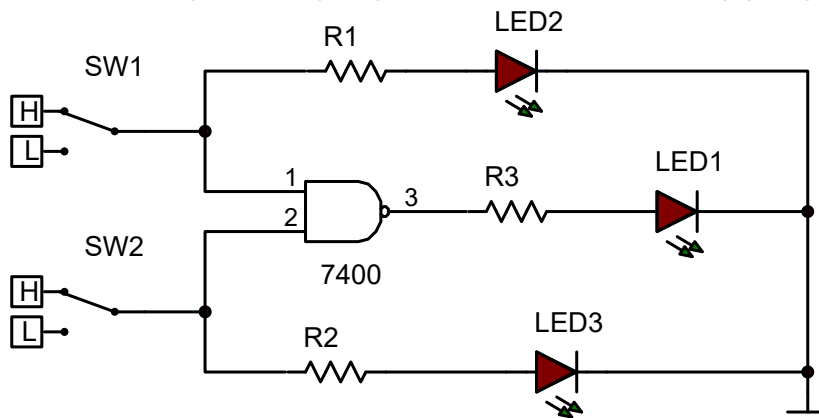
H = HIGH Logic Level

L = LOW Logic Level

Bảng 1: Bảng trạng thái IC 7400

3. Kiểm tra IC cổng NAND 7400

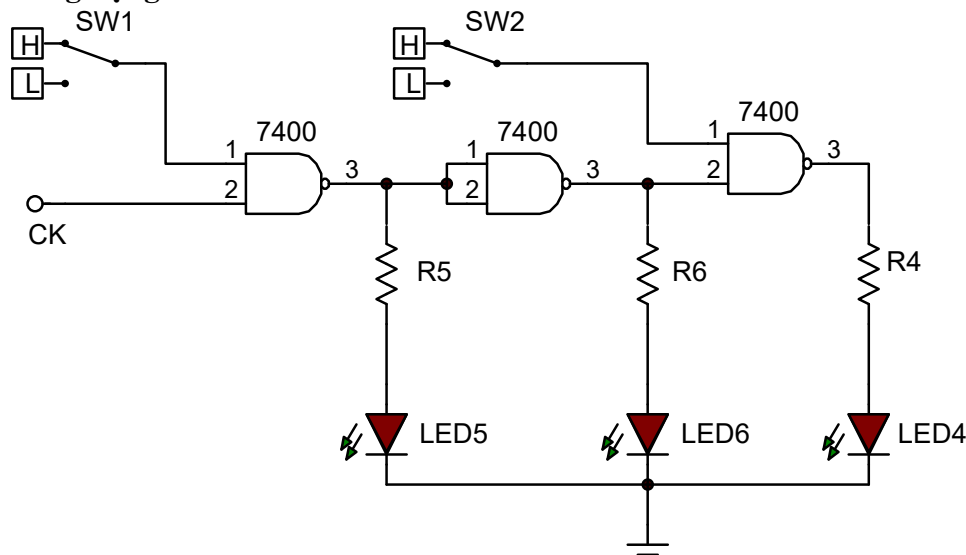
IC 74LS00 có 4 cổng NAND giống nhau, nên kiểm tra 4 cổng giống nhau.



Hình 1.2: Kiểm tra IC 7400

- Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS00
- Nối các ngõ vào của NAND với SW, và lần lượt đóng SW lên mức 1 (5V) hoặc mức 0 (0V), kết hợp bảng trạng thái để kiểm tra các cổng.
- Nối ngõ ra của cổng NAND đến LED như hình vẽ.
- Chân số 1, 2, ứng với chân số 1A, 2A gọi là ngõ vào của IC 74LS00.
- Chân số 3, ứng 1Y gọi là ngõ ra của IC 74LS00.
- Chuyển các switch theo trình tự SW1 và SW2: LED sáng tương ứng với mức logic 1, LED tắt tương ứng với mức logic 0.

4. Mạch ứng dụng



Hình 1.3: Mạch dùng cổng NAND

- Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS00
- Xung CK lấy từ chân 3 của IC 555 trong mạch dao động 555.
- Quan sát các ngõ ra ở các LED ứng các SW1 và SW2 ở các mức logic theo bảng 2.

SW1	SW2	Quan sát ngõ ra ở các LED5, LED6, LED4
0	0	
0	1	
1	0	
1	1	

Bảng 2: Quan sát các ngõ ra ở các LED ứng các SW1 và SW2

5. Câu hỏi: SV hãy biết cho IC cổng NAND ở họ CMOS (gồm: sơ đồ chân, sơ đồ logic, bảng trạng thái, điện áp nguồn, mức logic)

.....

.....

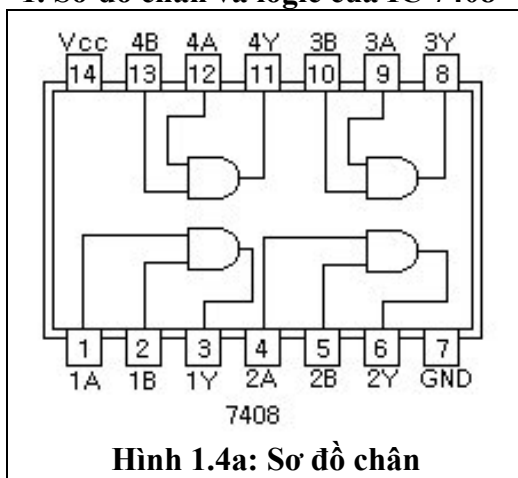
.....

.....

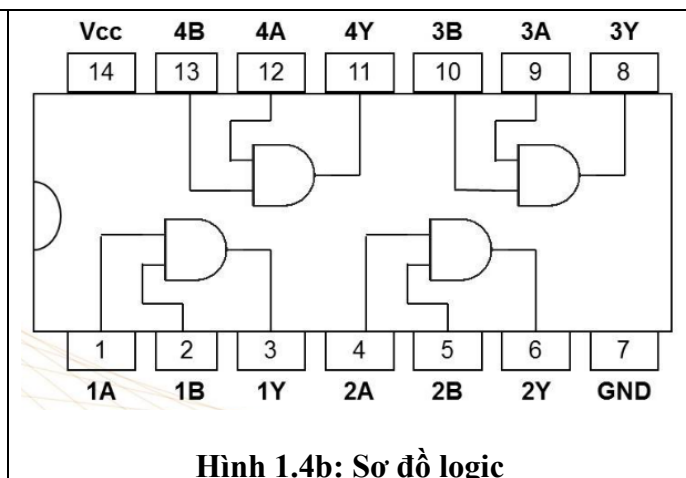
.....

III. Khảo sát cổng AND - IC 74LS08 :

1. Sơ đồ chân và logic của IC 7408



Hình 1.4a: Sơ đồ chân



Hình 1.4b: Sơ đồ logic

2. Bảng trạng thái

$$Y = AB$$

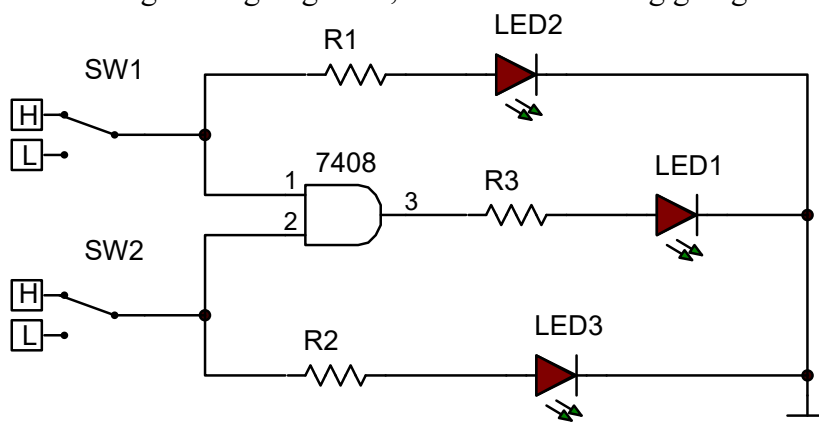
Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = HIGH Logic Level
L = LOW Logic Level

Bảng 3: Bảng trạng thái IC 7408

3. Kiểm tra IC cổng AND – IC 74LS08.

IC 74LS08 có 4 cổng AND giống nhau, nên kiểm tra 4 cổng giống nhau.

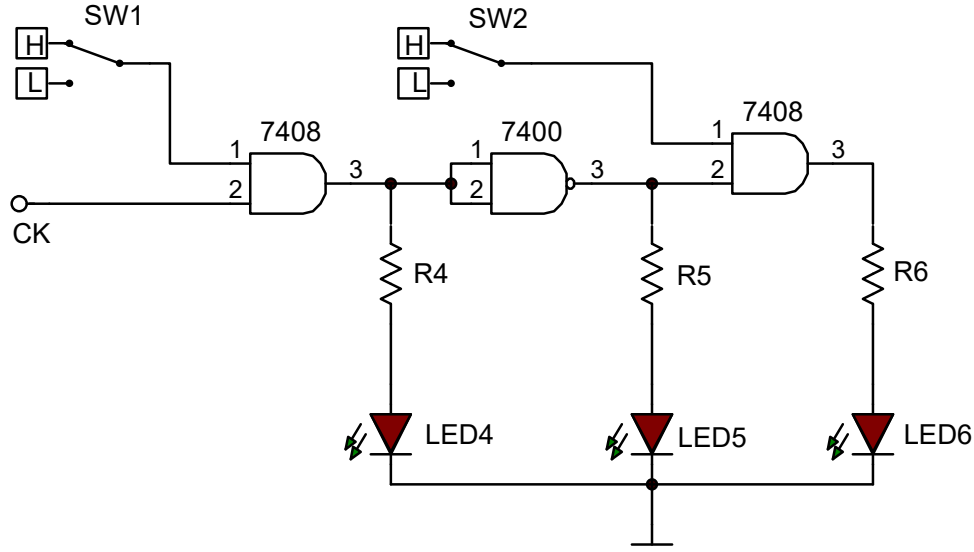


Hình 1.5: Kiểm tra IC 7408

- Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS08
- Nối các ngõ vào của AND với SW, và lần lượt đóng SW lên mức 1 (5V) hoặc mức 0 (0V), kết hợp bảng trạng thái để kiểm tra các cổng.

- Nối ngõ ra của cổng AND đến LED như hình vẽ.
- Chân số 1, 2, ứng với chân số 1A, 2A gọi là ngõ vào của IC 74LS08.
- Chân số 3, ứng 1Y gọi là ngõ ra của IC 74LS08.
- Chuyển các switch theo trình tự SW1 và SW2: LED sáng tương ứng với mức logic 1, LED tắt tương ứng với mức logic 0.

4. Mạch ứng dụng



Hình 1.6: Mạch dùng cổng AND

- Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS08
- Xung CK lấy từ chân 3 của IC 555 trong mạch dao động 555.
- Quan sát các ngõ ra ở các LED ứng các SW1 và SW2 ở các mức logic theo bảng 4.

SW1	SW2	Quan sát ngõ ra ở các LED4, LED5, LED6
0	0	
0	1	
1	0	
1	1	

Bảng 4: Quan sát các ngõ ra ở các LED ứng các SW1 và SW2

5. Câu hỏi:

SV hãy biết cho IC cổng AND ở họ CMOS (gồm: sơ đồ chân, sơ đồ logic, bảng trạng thái, điện áp nguồn, mức logic)

.....

.....

.....

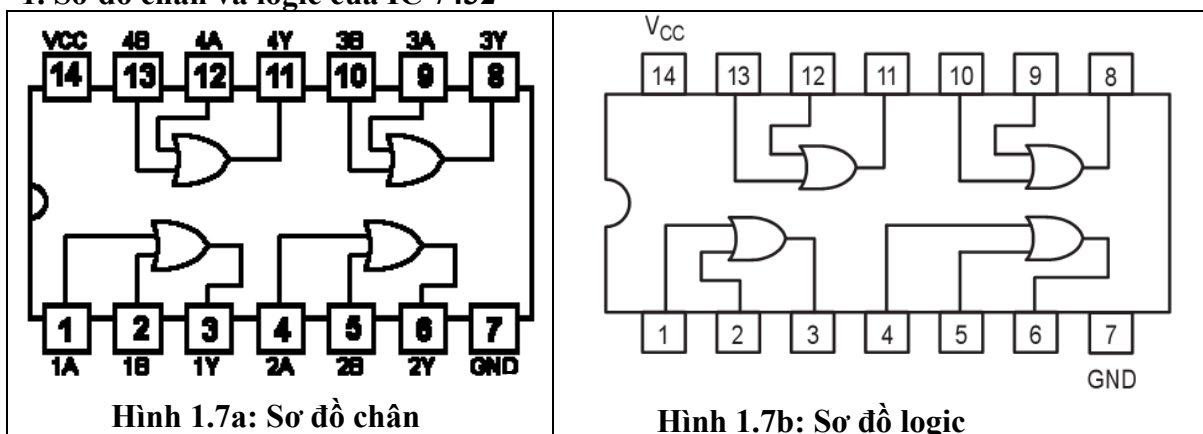
.....

.....

.....

IV. Khảo sát cổng OR- IC 74LS32

1. Sơ đồ chân và logic của IC 7432



2. Bảng trạng thái

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

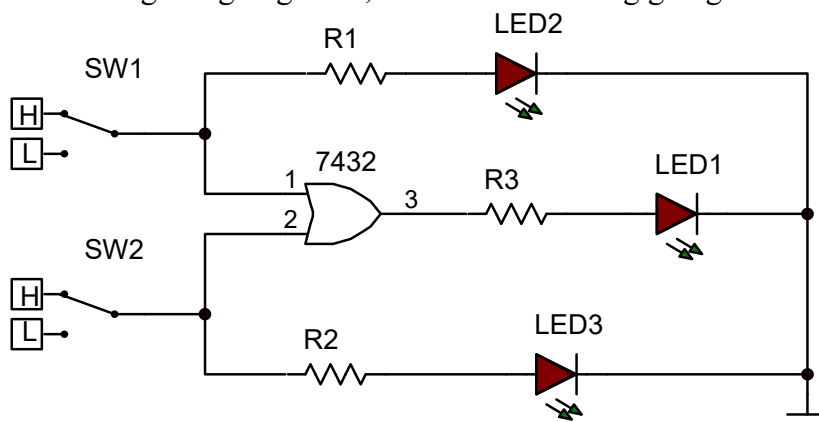
H = High Logic Level

L = Low Logic Level

Bảng 5: Bảng trạng thái IC 7432

3. Kiểm tra IC cổng OR – IC 74LS32.

IC 74LS32 có 4 cổng OR giống nhau, nên kiểm tra 4 cổng giống nhau.

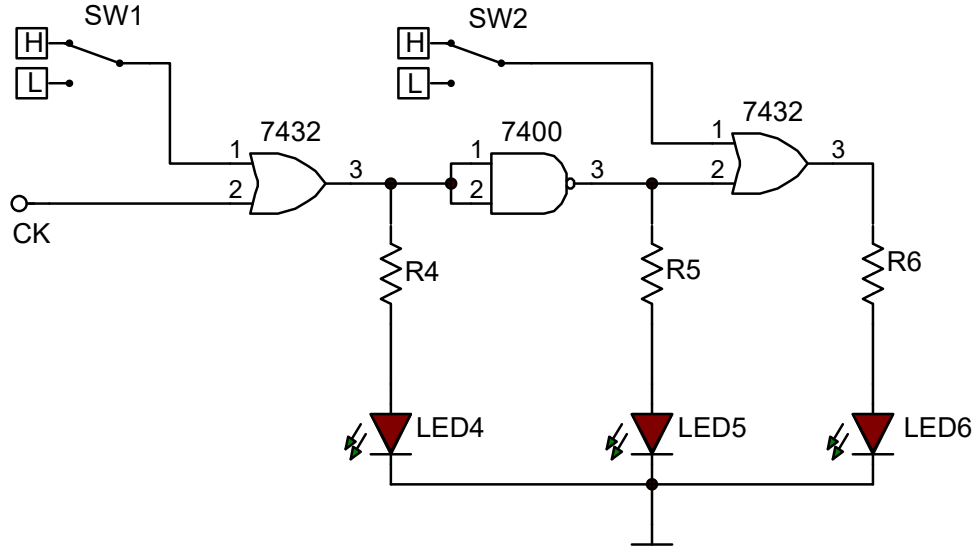


Hình 1.8: Kiểm tra IC 7408

➤ Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS32

- Nối các ngõ vào của OR với SW, và lần lượt đóng SW lên mức 1 (5V) hoặc mức 0 (0V), kết hợp bảng trạng thái để kiểm tra các cổng.
- Nối ngõ ra của cổng OR đến LED như hình vẽ.
- Chân số 1, 2, ứng với chân số 1A, 2A gọi là ngõ vào của IC 74LS32.
- Chân số 3, ứng 1Y gọi là ngõ ra của IC 74LS32.
- Chuyển các switch theo trình tự SW1 và SW2: LED sáng tương ứng với mức logic 1, LED tắt tương ứng với mức logic 0.

4. Mạch ứng dụng



Hình 1.9: Mạch dùng cổng OR

- Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS32
- Xung CK lấy từ chân 3 của IC 555 trong mạch dao động 555.
- Quan sát các ngõ ra ở các LED ứng các SW1 và SW2 ở các mức logic theo bảng 6.

SW1	SW2	Quan sát ngõ ra ở các LED4, LED5, LED6
0	0	
0	1	
1	0	
1	1	

Bảng 6: Quan sát các ngõ ra ở các LED ứng các SW1 và SW2

5. Câu hỏi:

SV hãy biết cho IC cổng OR ở họ CMOS (gồm: sơ đồ chân, sơ đồ logic, bảng trạng thái, điện áp nguồn, mức logic)

.....

.....

.....

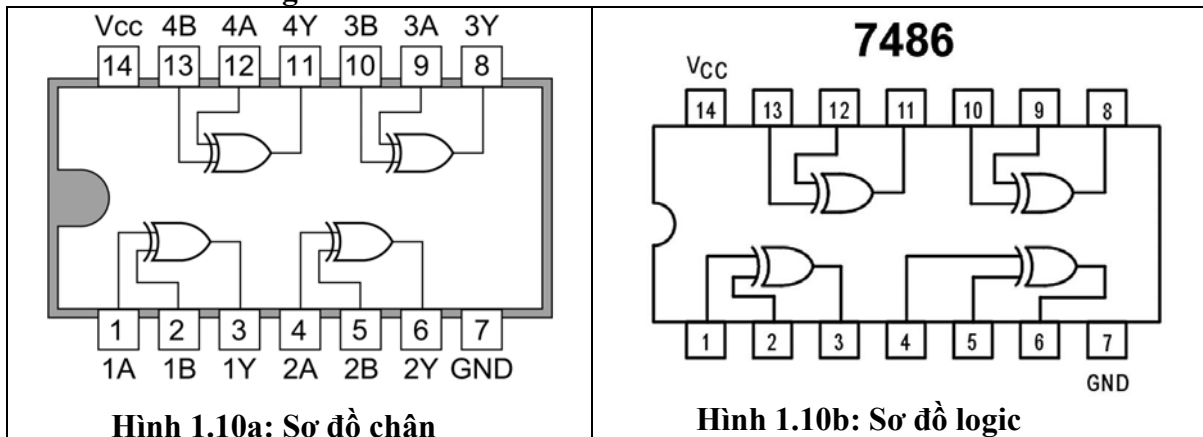
.....

.....

.....

V. Khảo sát cổng EX – OR - IC 74LS86:

1. Sơ đồ chân và logic của IC 7486



2. Bảng trạng thái

$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

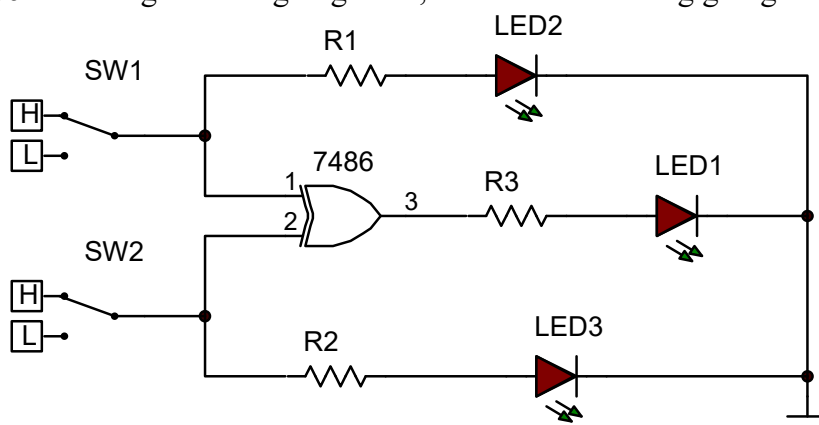
H = HIGH Logic Level

L = LOW Logic Level

Bảng 7: Bảng trạng thái IC 7486

3. Kiểm tra IC cổng EX-OR – IC 74LS86.

IC 74LS86 có 4 cổng EX-OR giống nhau, nên kiểm tra 4 cổng giống nhau.

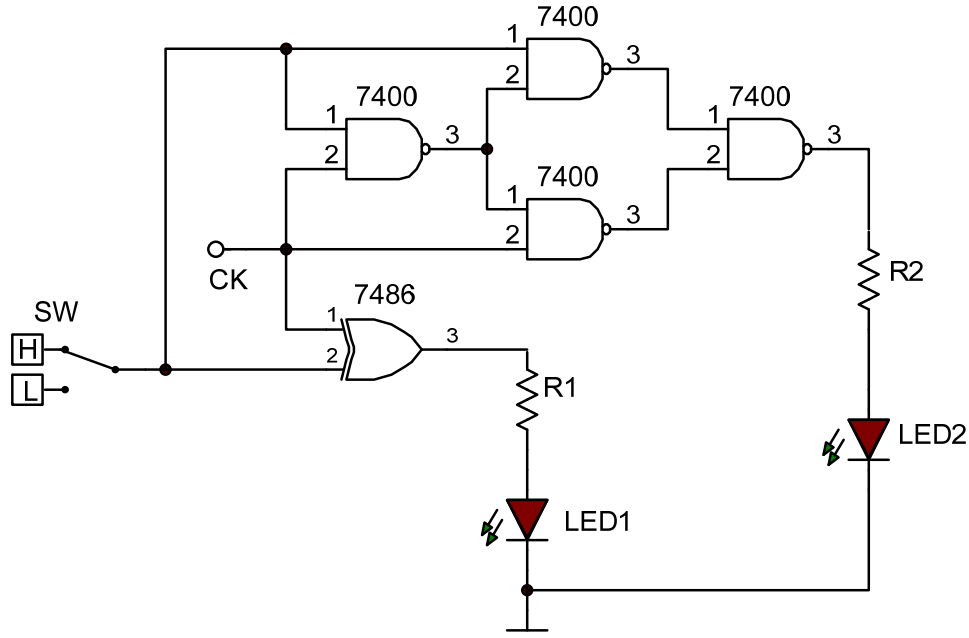


Hình 1.11: Kiểm tra IC 7486

- Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS86
- Nối các ngõ vào của EXOR với SW, và lần lượt đóng SW lên mức 1 (5V) hoặc mức 0 (0V), kết hợp bảng trạng thái để kiểm tra các cổng.
- Nối ngõ ra của cổng EXOR đến LED như hình vẽ.

- Chân số 1, 2, ứng với chân số 1A, 2A gọi là ngõ vào của IC 74LS86.
- Chân số 3, ứng 1Y gọi là ngõ ra của IC 74LS86.
- Chuyển các switch theo trình tự SW1 và SW2: LED sáng tương ứng với mức logic 1, LED tắt tương ứng với mức logic 0.

4. Mạch ứng dụng



Hình 1.12: Mạch dùng cổng EX-OR

- Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS86
- Xung CK lấy từ chân 3 của IC 555 trong mạch dao động 555.
- Quan sát các ngõ ra ở các LED ứng các SW1 và SW2 ở các mức logic theo bảng 8.

SW1	SW2	Quan sát ngõ ra ở các LED4, LED5, LED6
0	0	
0	1	
1	0	
1	1	

Bảng 8: Quan sát các ngõ ra ở các LED ứng các SW1 và SW2

5. Câu hỏi:

SV hãy biết cho IC cổng EX-OR ở họ CMOS (gồm: sơ đồ chân, sơ đồ logic, bảng trạng thái, điện áp nguồn, mức logic)

.....

.....

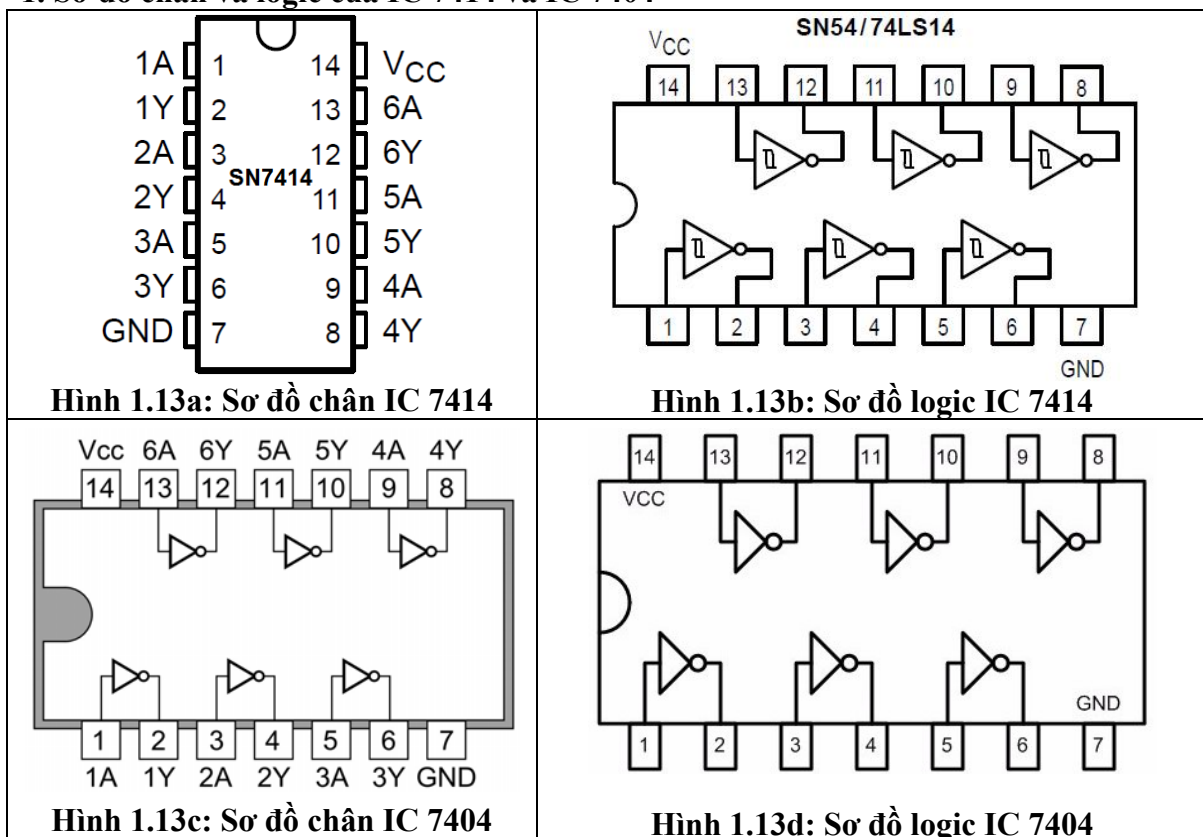
.....

.....

.....

VI. Khảo sát cổng NOT – IC 74LS14 và IC 7404

1. Sơ đồ chân và logic của IC 7414 và IC 7404



2. Bảng trạng thái

$$Y = \bar{A}$$

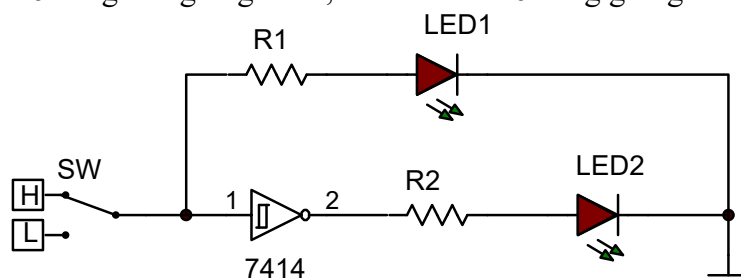
Input	Output
A	Y
L	H
H	L

H = High Logic Level
L = Low Logic Level

Bảng 9: Bảng trạng thái IC 7414

3. Kiểm tra IC cổng NOT – IC 74LS14.

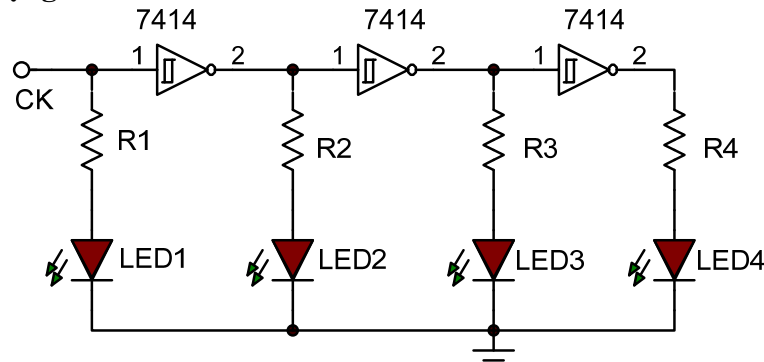
IC 74LS14 có 6 cổng OR giống nhau, nên kiểm tra 6 cổng giống nhau.



Hình 1.14: Kiểm tra IC 7414

- Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS14
- Nối ngõ vào của NOT với SW, và đóng SW lên mức 1 (5V) hoặc mức 0 (0V), kết hợp bảng trạng thái để kiểm tra các cổng.
- Nối ngõ ra của cổng NOT đến LED như hình vẽ.
- Chân số 1 ứng với chân số 1A, gọi là ngõ vào của IC 74LS14.
- Chân số 2, ứng 1Y gọi là ngõ ra của IC 74LS14.
- Chuyển SW: LED sáng tương ứng với mức 1, LED tắt tương ứng với mức 0.

4. Mạch ứng dụng



Hình 1.15: Mạch dùng cổng NOT

- Nối nguồn +5V cho chân 14 và GND (0V) cho chân số 7 của IC 74LS14
- Xung CK lấy từ chân 3 của IC 555 trong mạch dao động 555.
- Quan sát các ngõ ra ở các LED ứng các SW1 và SW2 ở các mức logic theo bảng 10.

SW	Quan sát ngõ ra ở các LED1, LED2, LED3, LED4
0	
1	

Bảng 10: Quan sát các ngõ ra ở các LED ứng các SW1 và SW2

5. Câu hỏi:

SV hãy biết cho IC cổng NOT ở họ CMOS (gồm: sơ đồ chân, sơ đồ logic, bảng trạng thái, điện áp nguồn, mức logic)

.....

.....

.....

.....

.....

.....

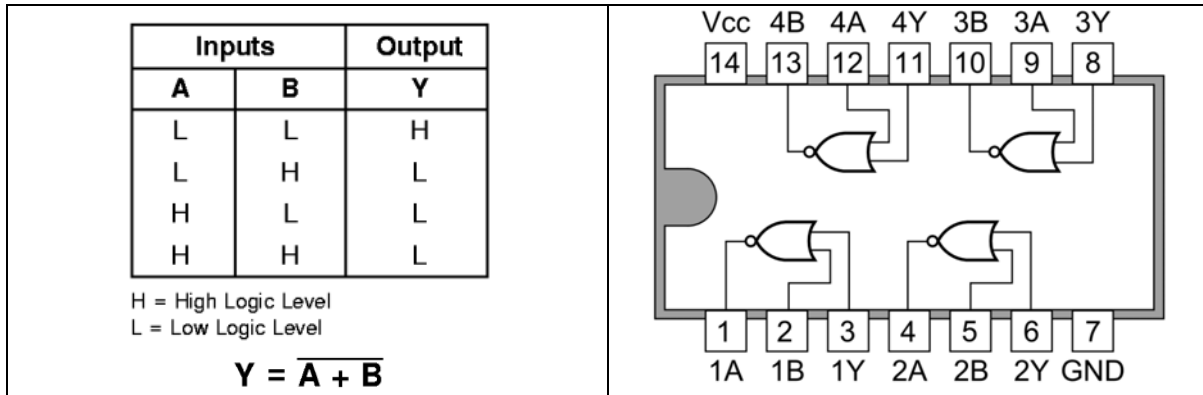
.....

.....

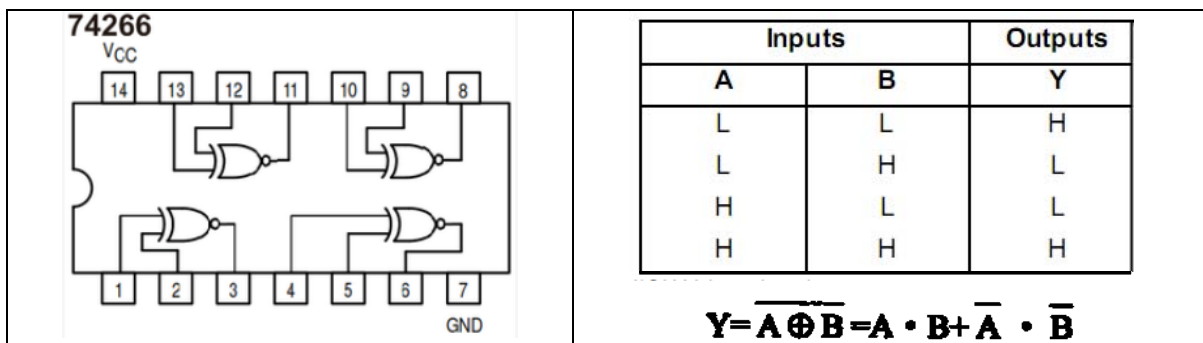
.....

.....

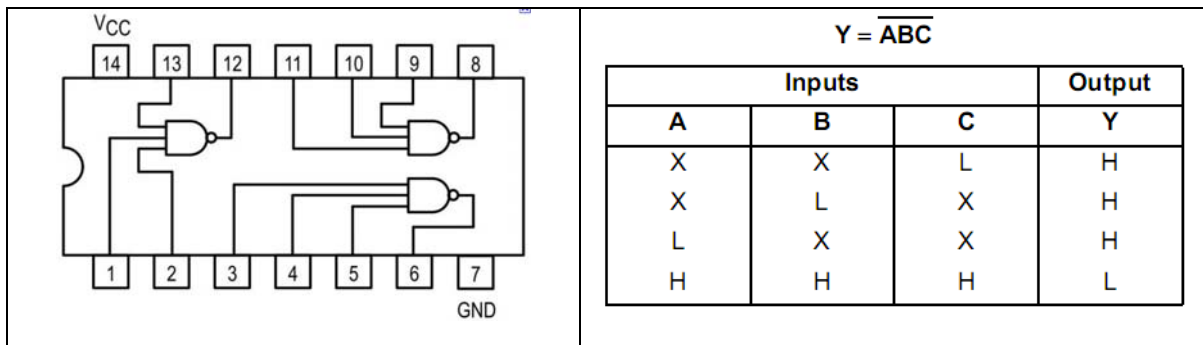
VII. Khảo sát cổng NOR – IC 74LS02



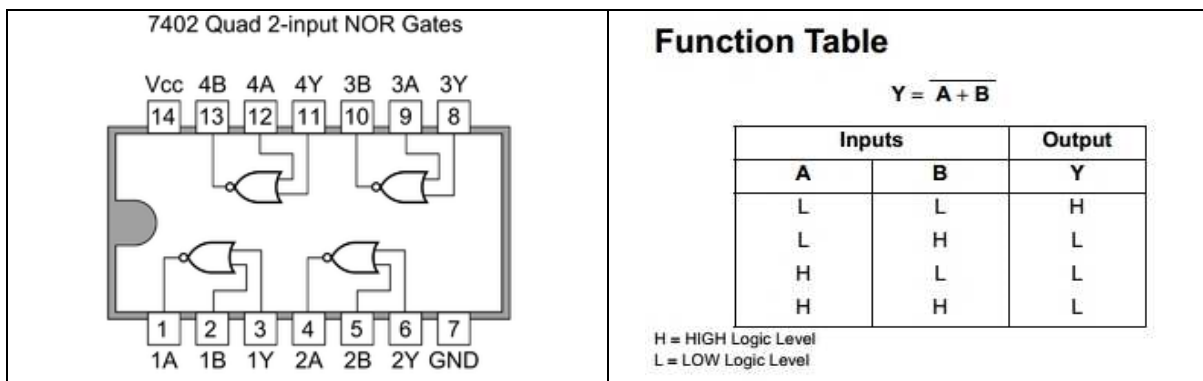
VIII. Khảo sát cổng EX-NOR – IC 74LS266



IX. Khảo sát cổng NAND – IC 74LS10



X. Khảo sát cổng NOR – IC 74LS02



BÀI 2: KHẢO SÁT FLIP FLOP VÀ ỨNG DỤNG FLIP FLOP

1. Mục đích:

- Khảo sát các hoạt động của các Flip Flop như: D-FF; T-FF; RS-FF và JK-FF.
- Ứng dụng: Flip-Flop dùng để chế tạo các mạch đếm và thanh ghi.

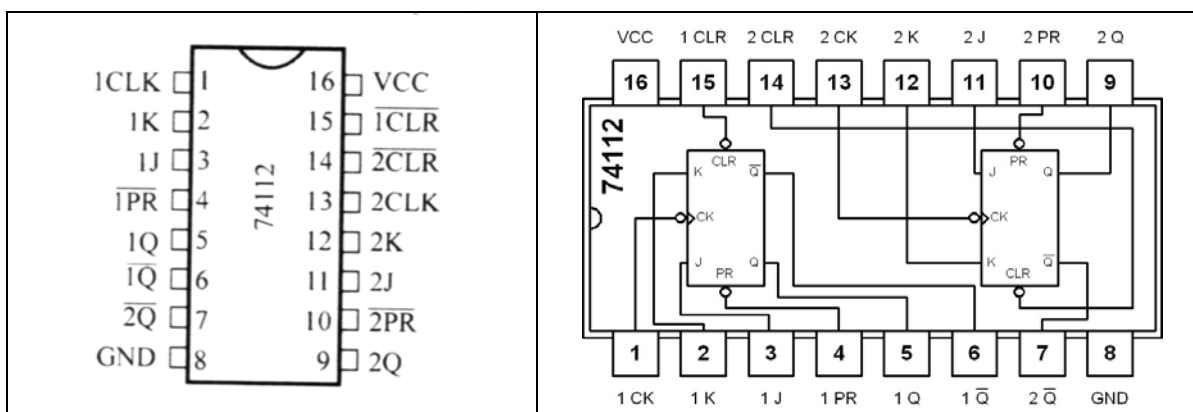
2. Dụng cụ:

- Board mạch, VOM
- Các IC: 7476, 74109, 74112, 7474, 74107, 74175.

3. Khảo sát Flip Flop – IC74LS112:

3.1. Khảo sát datasheet của IC 74LS112

- J-K Flip-Flop làm việc với xung tác động cạnh xuống. Ngõ vào Preset và Clear tác động mức thấp. Khi chân Preset và Clear ở mức cao và có xung CK (xung Clock) thì IC 74112 thực hiện chức năng Flip-Flop.
- Sơ đồ chân và sơ đồ logic



Hình 2.1: Sơ đồ chân và sơ đồ logic

Ghi chú: Chân 16 mắc vào $5V_{DC}$ và Chân 8 mắc vào $0V$

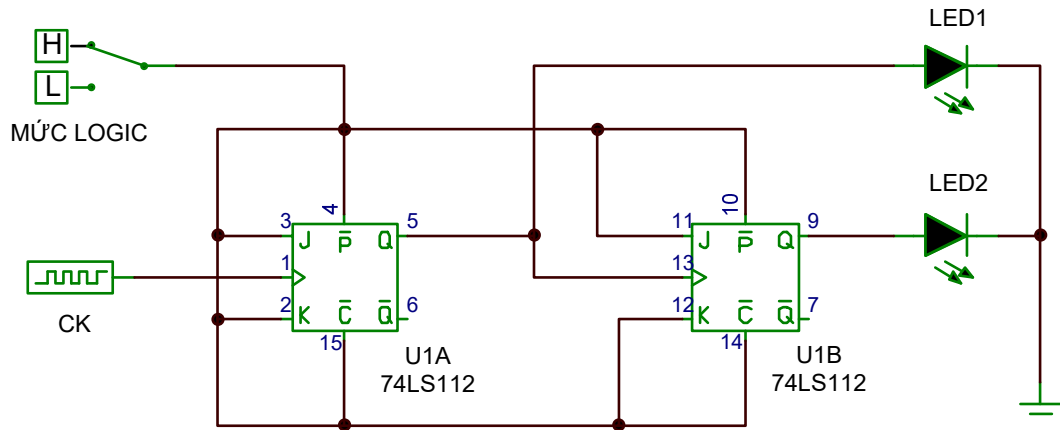
- Bảng trạng thái

Inputs					Outputs	
PR	CLR	CLK	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H (Note 1)	H (Note 1)
H	H	↓	L	L	Q_0	$\bar{Q}_0$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	Toggle	
H	H	H	X	X	Q_0	$\bar{Q}_0$

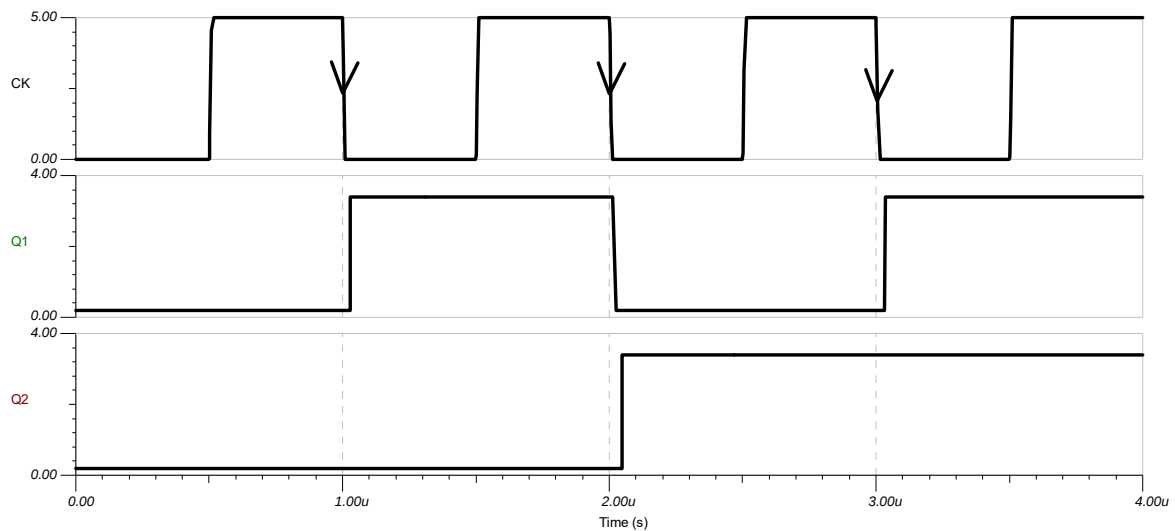
Hình 2.2: Bảng trạng thái

H = Mức logic cao ($H=5V_{DC}$)
 L = Mức logic thấp ($L=0V$)
 X = Mức logic cao hoặc thấp
 ↓ = Tín hiệu xung cạnh xuống
 Q_0 = Ngõ ra.
 Toggle = Ngõ ra đổi trạng thái khi có xung CK.
 Note 1: Không ổn định, khi ngõ vào Preset và Clear ở mức cao

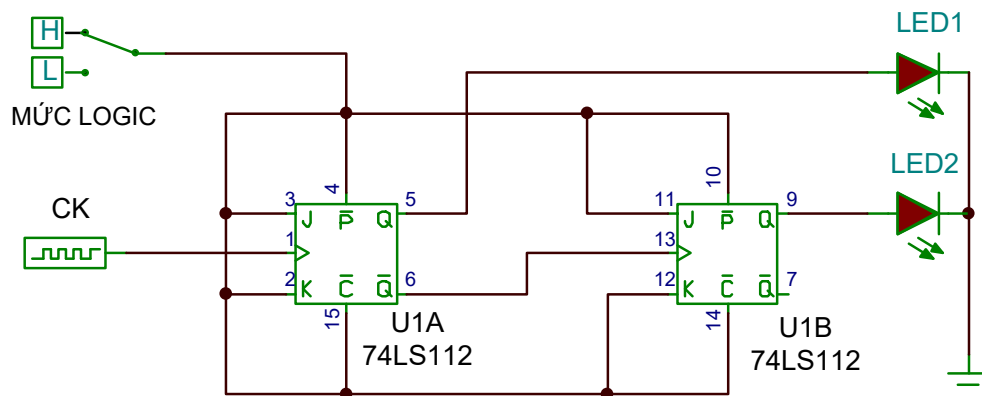
3.2. Mạch đếm lên không đồng bộ 2 bit



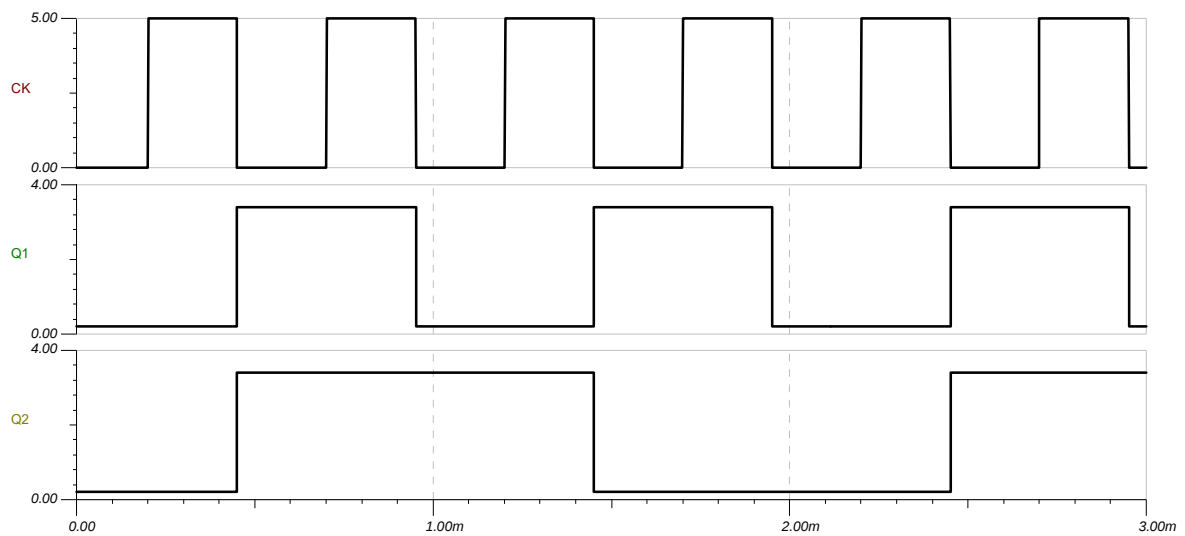
Hình 2.3: Mạch đếm lên không đồng bộ 2 bit dùng IC 74LS112



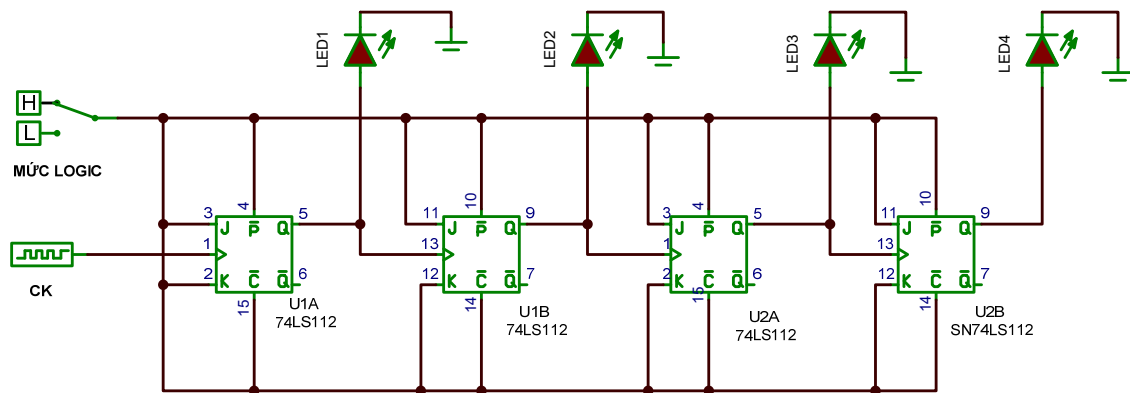
3.3. Mạch đếm xuống không đồng bộ 2 bit



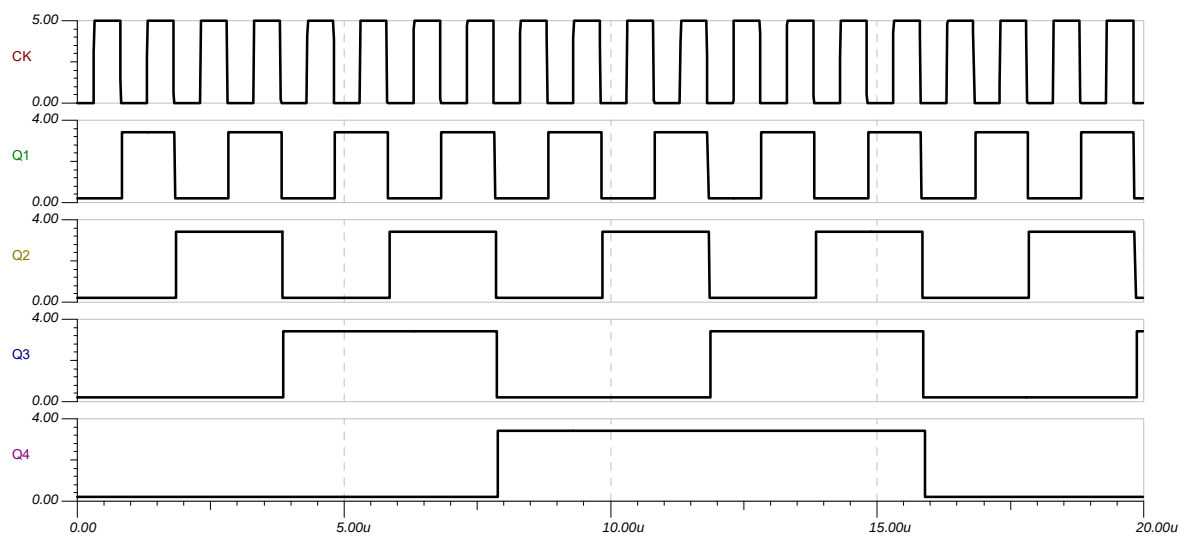
Hình 2.4: Mạch đếm xuống không đồng bộ 2 bit dùng IC 74LS112



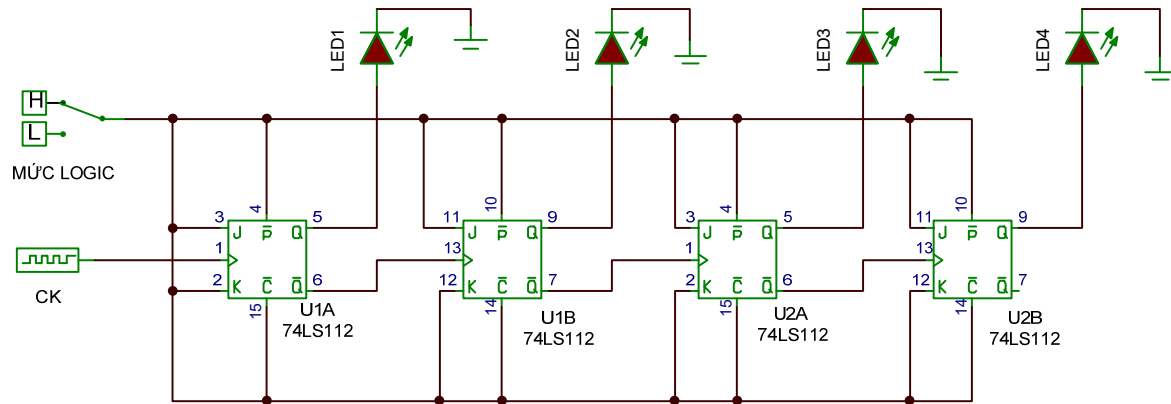
3.4. Mạch đếm lên không đồng bộ 4 bit



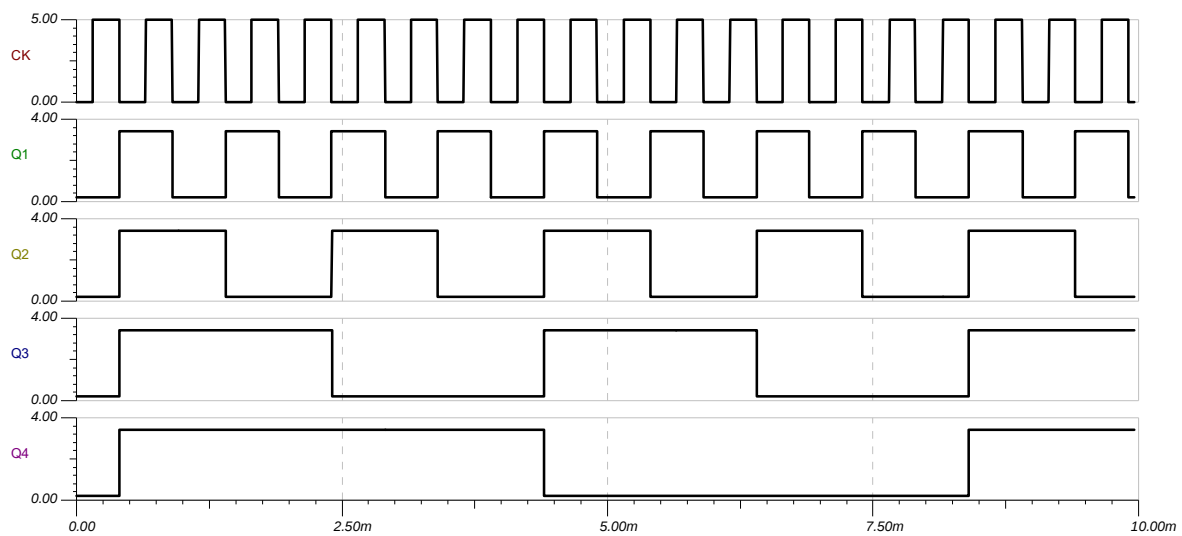
Hình 2.4: Mạch đếm lên không đồng bộ 4 bit dùng IC 74LS112



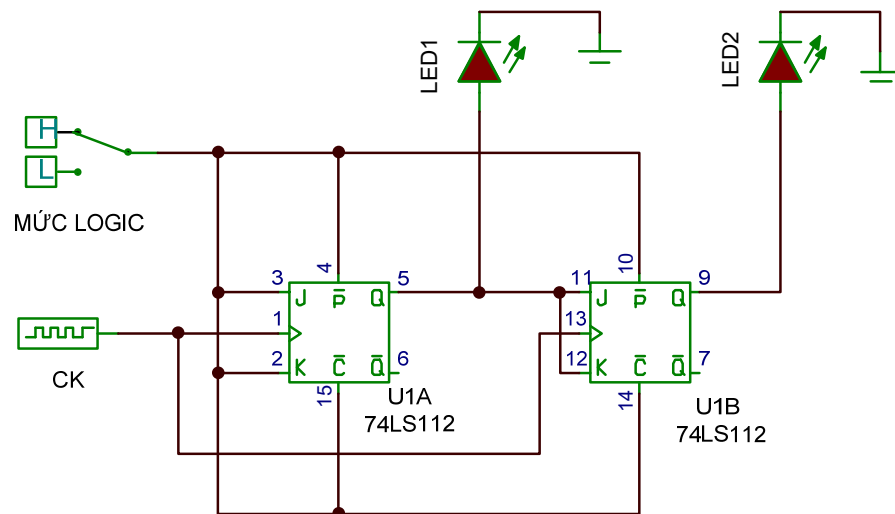
3.5. Mạch đếm xuống không đồng bộ 4 bit



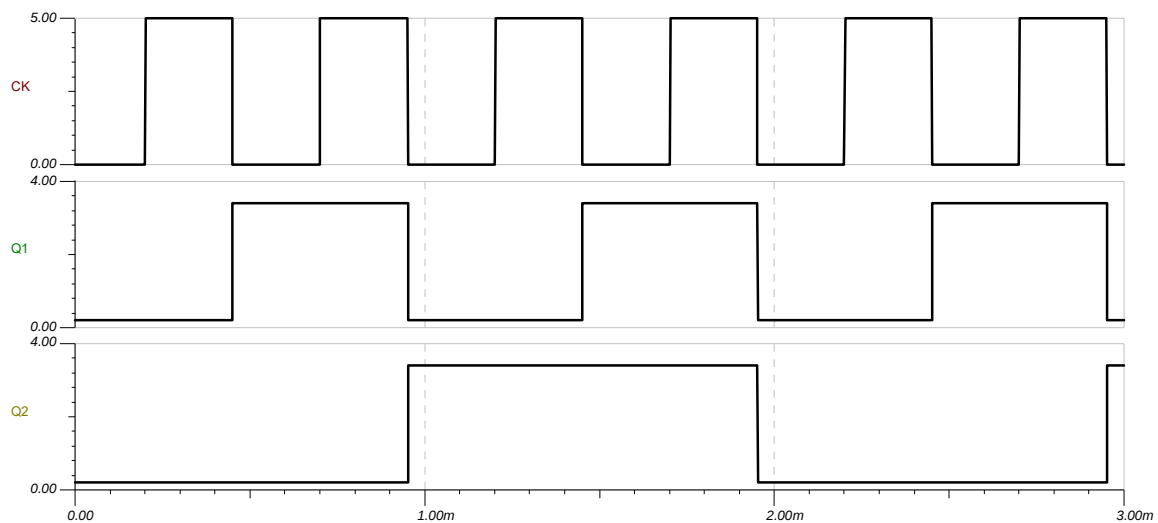
Hình 2.5: Mạch đếm xuống không đồng bộ 4 bit dung IC 74LS112



3.6. Mạch đếm lên đồng bộ 2 Bit

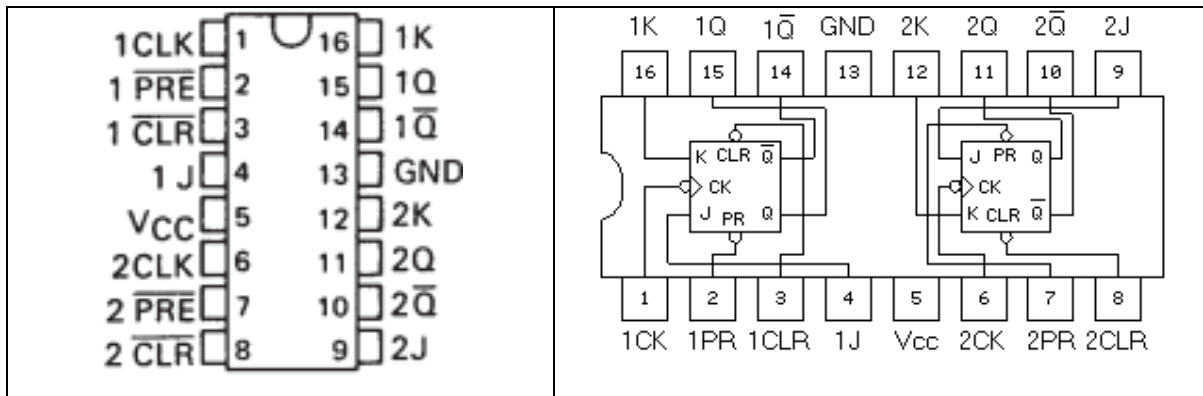


Hình 2.6: Mạch đếm lên đồng bộ 2 bit



4. Khảo sát Flip Flop – IC74LS76:

4.1. Sơ đồ chân của IC74LS76



Hình 2.7: Sơ đồ chân IC 74LS76

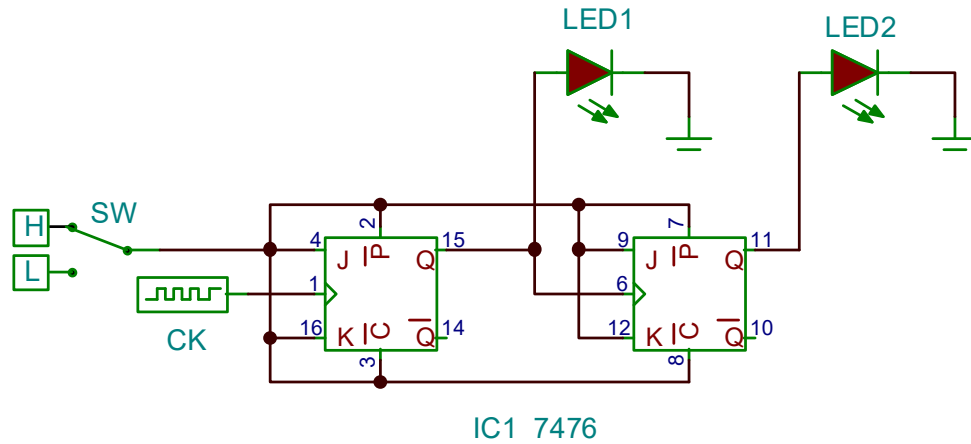
Function Tables:

Inputs					Outputs	
PRE	CLR	CLK	J	K	Q	Q̄
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H†	H†
H	H	⌋	L	L	Q ₀	Q̄ ₀
H	H	⌋	H	L	H	L
H	H	⌋	L	H	L	H
H	H	⌋	H	H	Toggle	

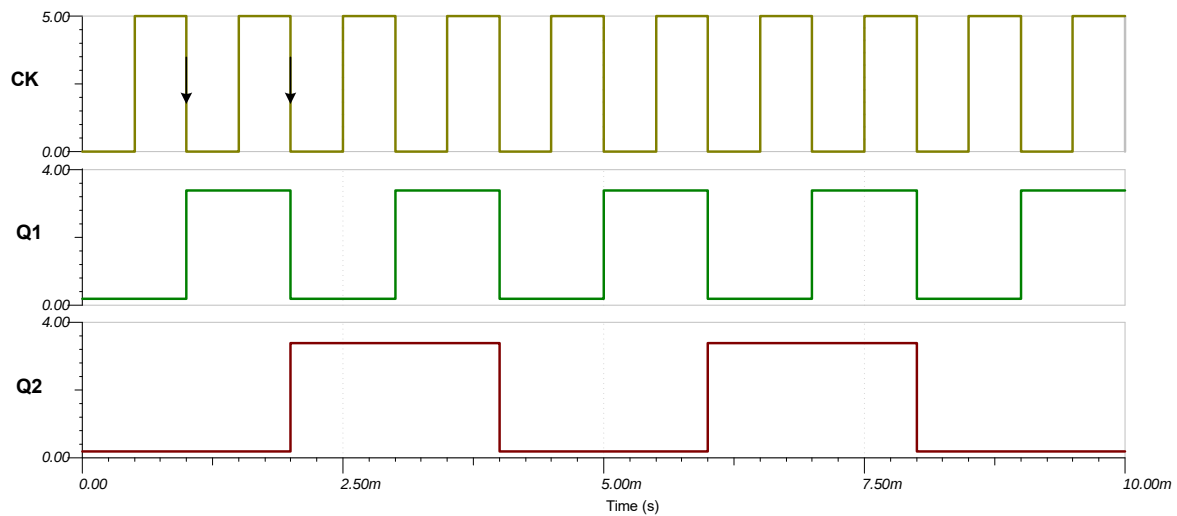
† This configuration is nonstable; that is, it will not persist when wither preset or clear returns to its inactive (high) level.

Hình 2.8: Bảng trạng thái IC 74LS76

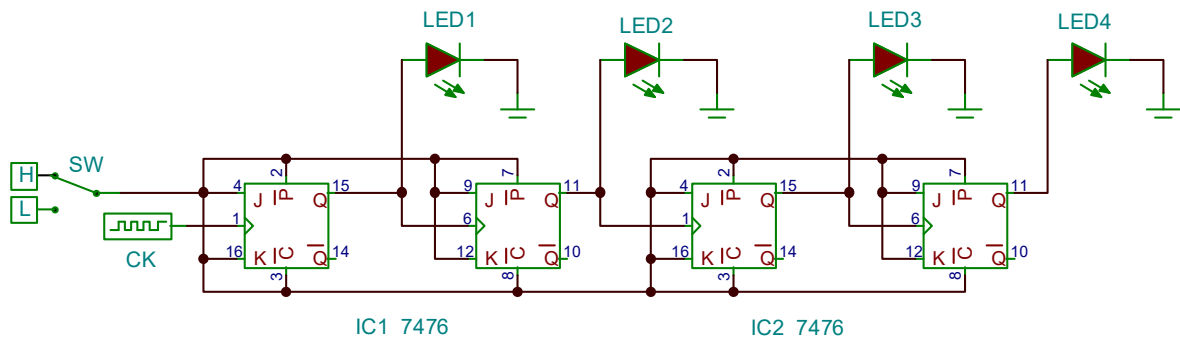
4.2. Mạch đếm lên không đồng bộ 2 bit



Hình 2.9. Mạch đếm lên không đồng bộ 2 bit

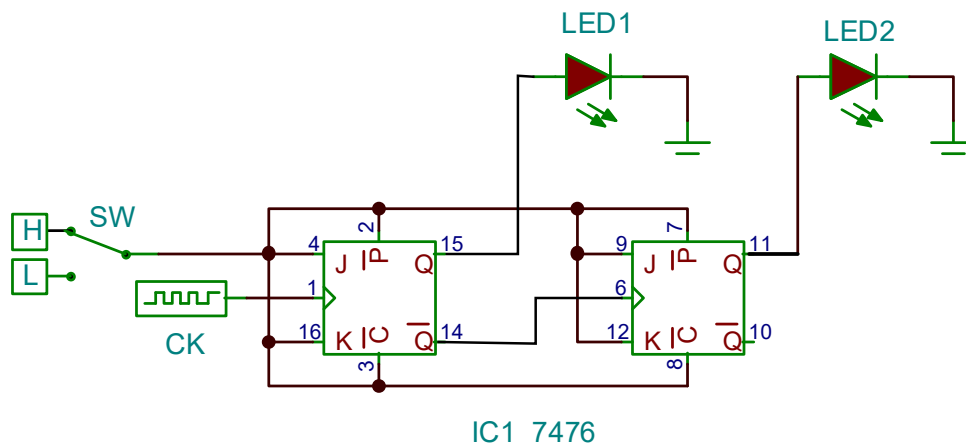


4.3. Mạch đếm lên không đồng bộ 4 bit



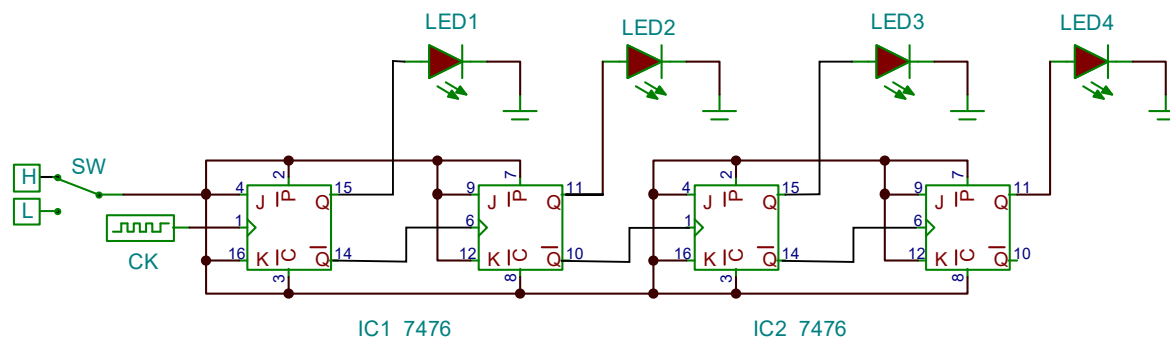
Hình 2.10. Mạch đếm lên không đồng bộ 4 bit

4.4. Mạch đếm xuống không đồng bộ 2 bit



Hình 2.11. Mạch đếm xuống không đồng bộ 2 bit

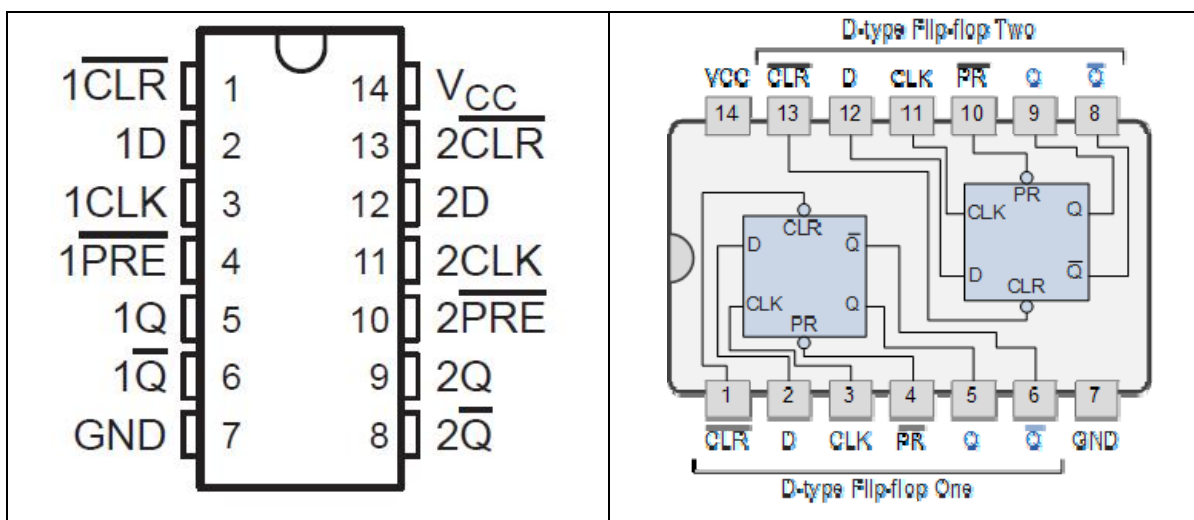
4.5. Mạch đếm xuống không đồng bộ 2 bit và 4 bit



Hình 2.12. Mạch đếm xuống không đồng bộ 4 bit

5. Khảo sát Flip Flop – IC74LS74:

5.1. Khảo sát datasheet của IC 74LS74



Hình 2.13: Sơ đồ chân IC 74LS74

Truth Table

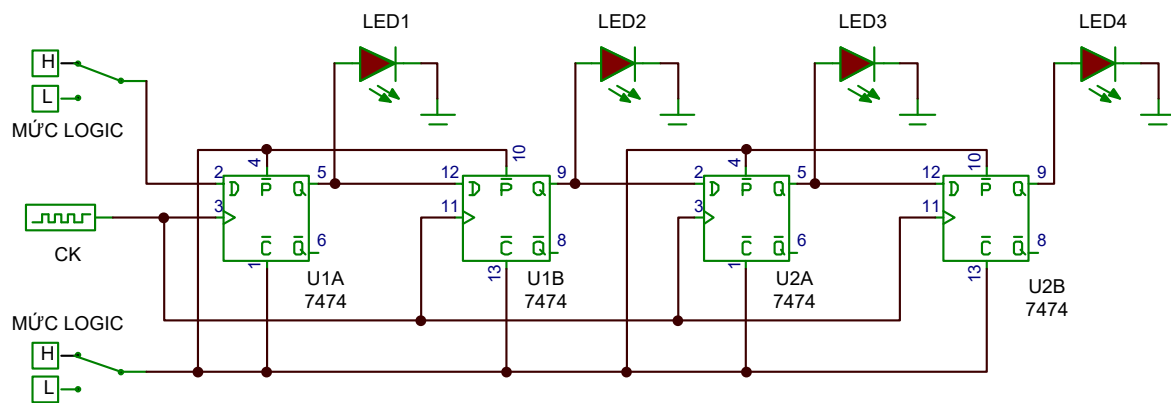
Inputs				Outputs	
PR	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	$\uparrow$	H	H	L
H	H	$\uparrow$	L	L	H
H	H	L	X	Q0	$\bar{Q}0$

Note: Q0 = the level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when pre-set and clear inputs return to their inactive (HIGH) level.

Hình 2.14: Bảng trạng thái IC 74LS74

5.2. Thanh ghi dịch 4 bit dùng IC 74LS74



Hình 2.15: Thanh ghi dịch 4 bit dùng IC 74LS74

Bài 3:

MẠCH ĐẾM JOHNSON-ĐẾM VÒNG

1. Mục đích yêu cầu.

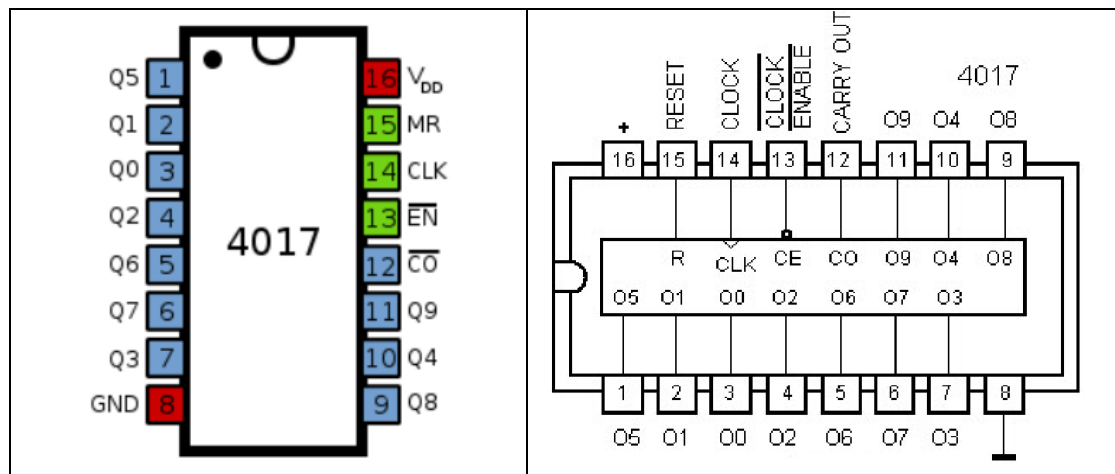
- Khảo sát mạch đếm Johnson, mạch đếm vòng.
- Ứng dụng mạch đếm để chia tần số tín hiệu, tạo tín hiệu lệch pha, điều khiển đèn giao thông, ...

2. Dụng cụ học tập.

- Bộ thí nghiệm vi mạch, đồng hồ VOM, DVM, dao động kí 2 tia
- Vi Mạch 4017B và các IC đã khảo sát.

3. Khảo sát IC 4017

3.1. Khảo sát datasheet của IC 4017

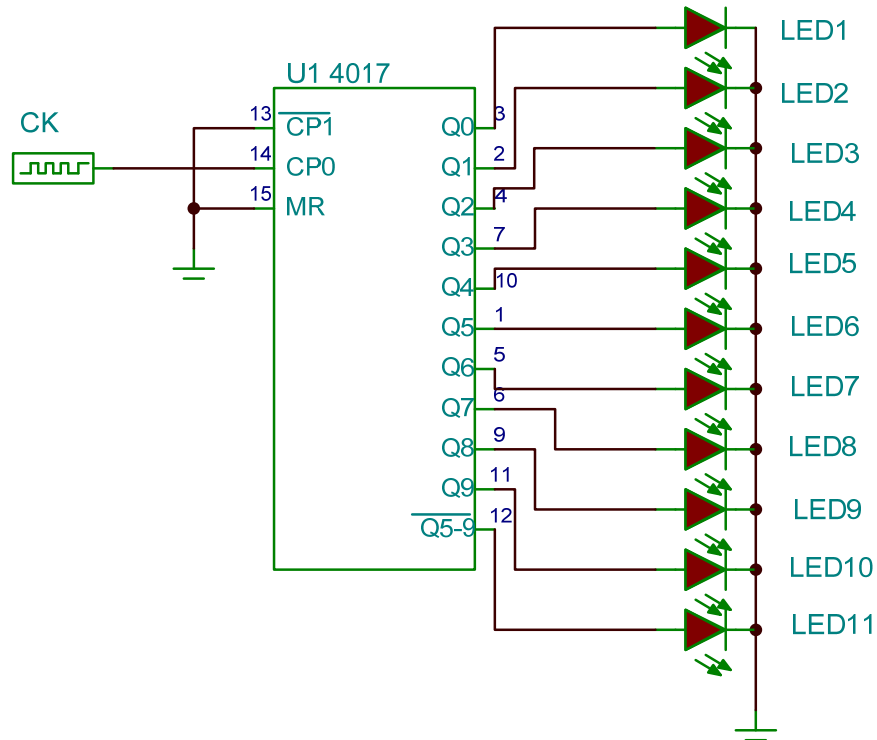


Hình 3-1: Sơ đồ chân và sơ đồ kí hiệu của IC 4017

CP	CE	MR	OUTPUT STATE
L	X	L	No Change
X	H	L	No Change
X	X	H	“0”=H, ”1”-“9”=L
I	L	L	Increments Counter
I	X	L	No Change
X	I	L	No Change
H	I	L	Increments Counter

Hình 3-2: Bảng trạng thái của IC 4017

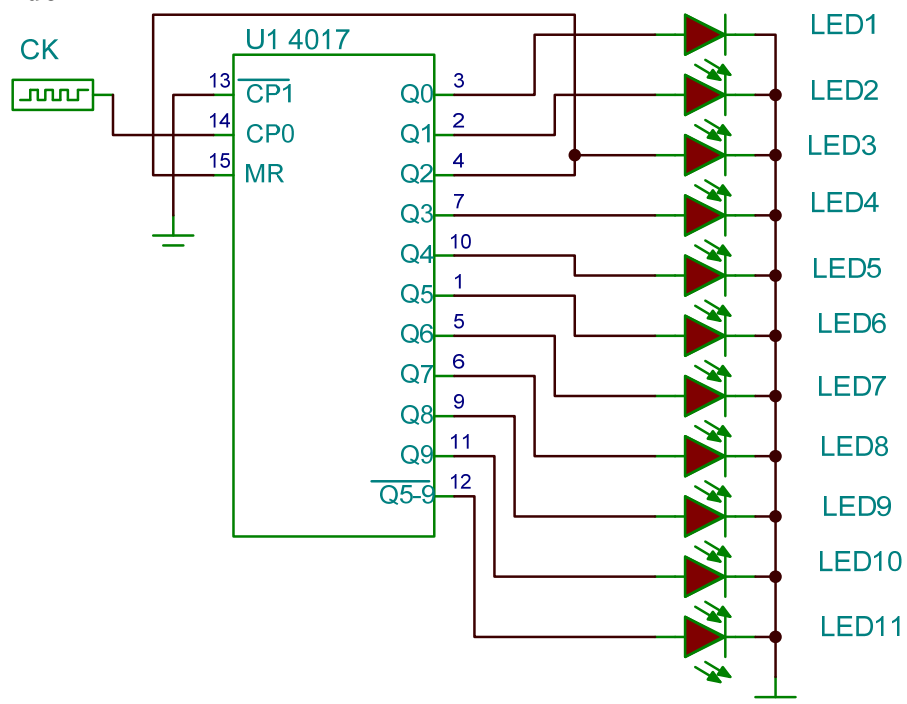
3.2. Kiểm tra IC 4017:



Hình 3-3: Kiểm tra IC 4017

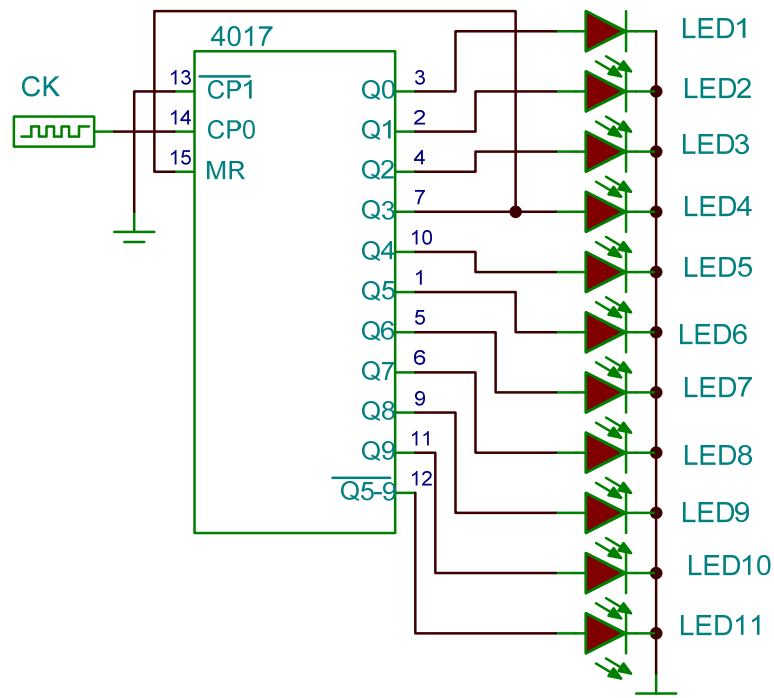
4. Mạch đếm

4.1. Mạch đếm 2



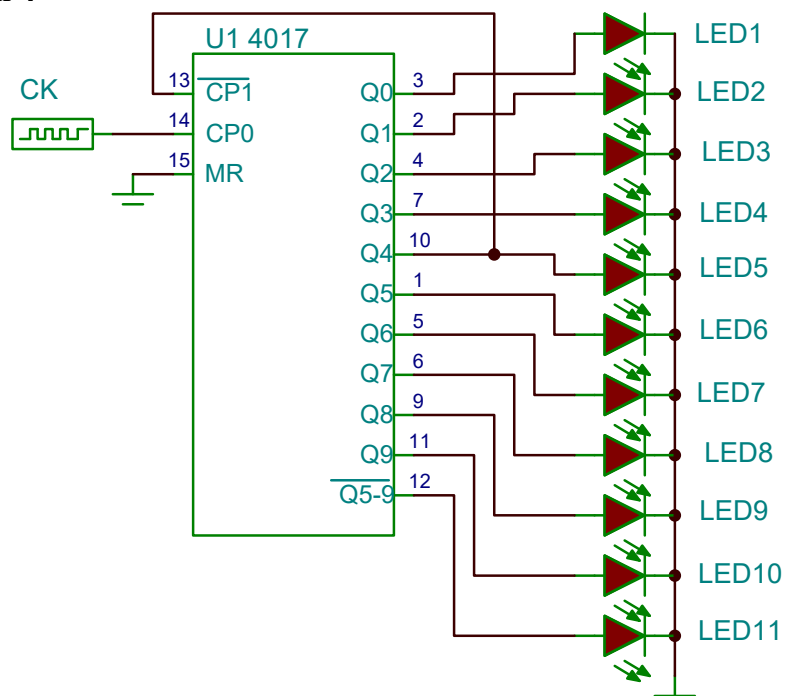
Hình 3-4: Mạch đếm 2 trạng thái.

4.2. Mạch đếm 3



Hình 3-5: Mạch đếm 3 trạng thái.

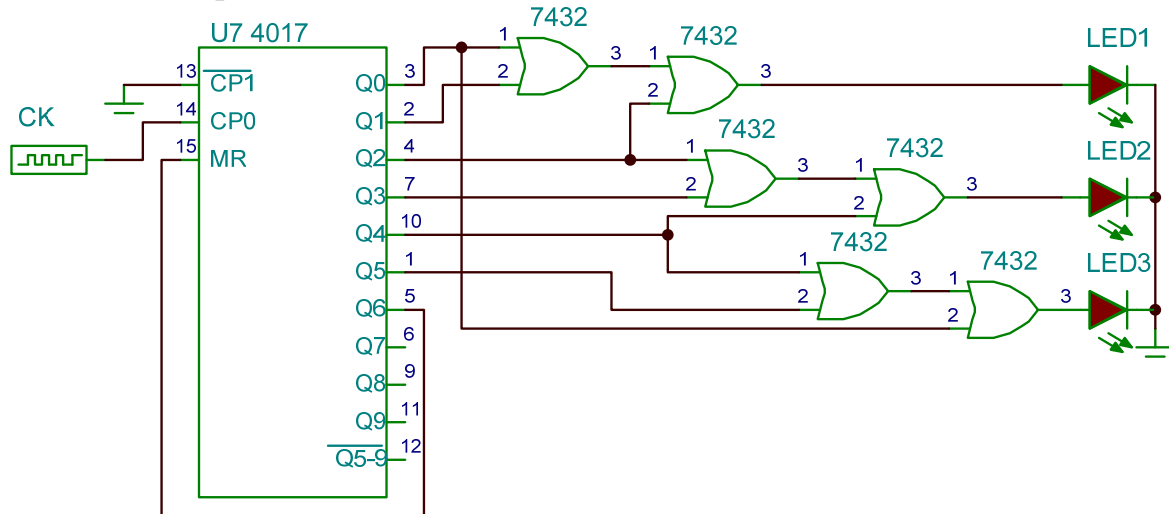
4.3. Mạch đếm 4



Hình 3-6: Mạch đếm từ 1 đến 5 rồi dừng.

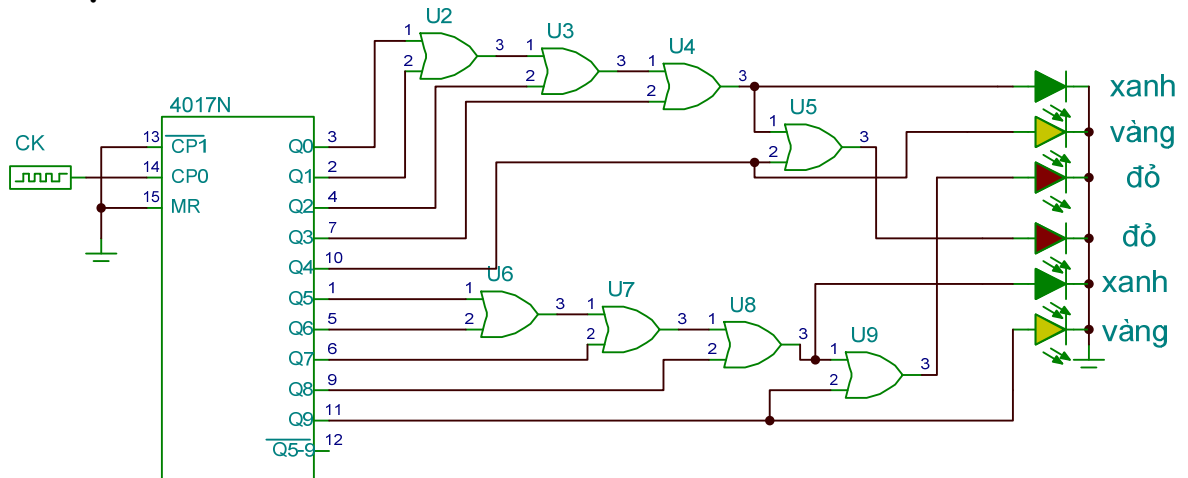
5. Mạch ứng dụng

5.1. Mạch lệch pha 180 độ



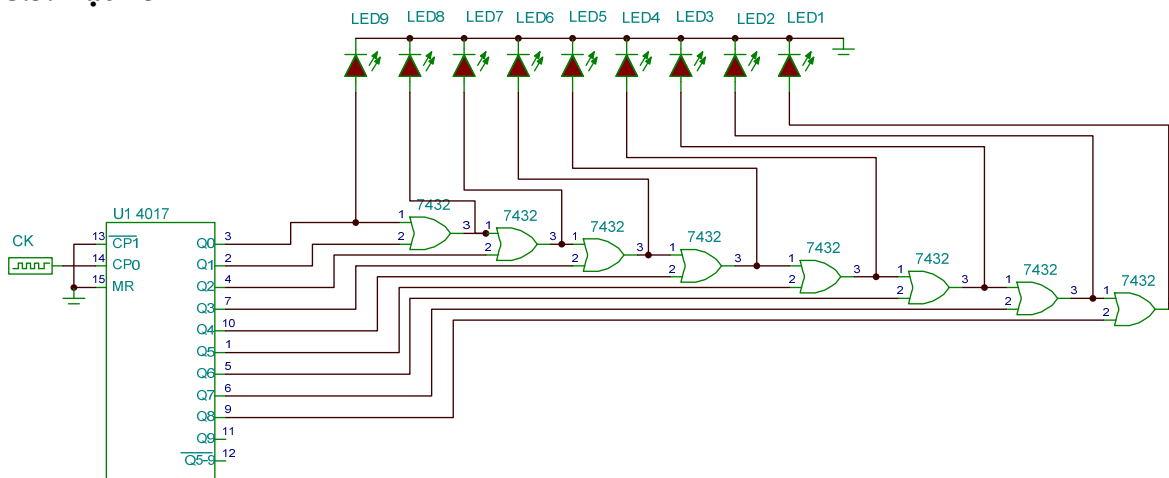
Hình 3-7: Mạch lệch pha 180 độ.

5.2. Mạch 2



Hình 3-8: Mạch điều khiển đèn giao thông.

5.3. Mạch 3



Hình 3-9: Mạch sáng hết và tắt dần.

Bài 4:

THANH GHI DỊCH

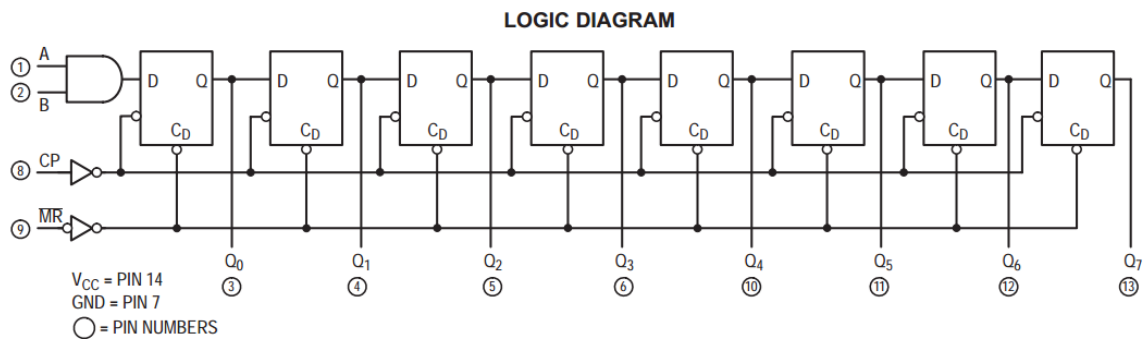
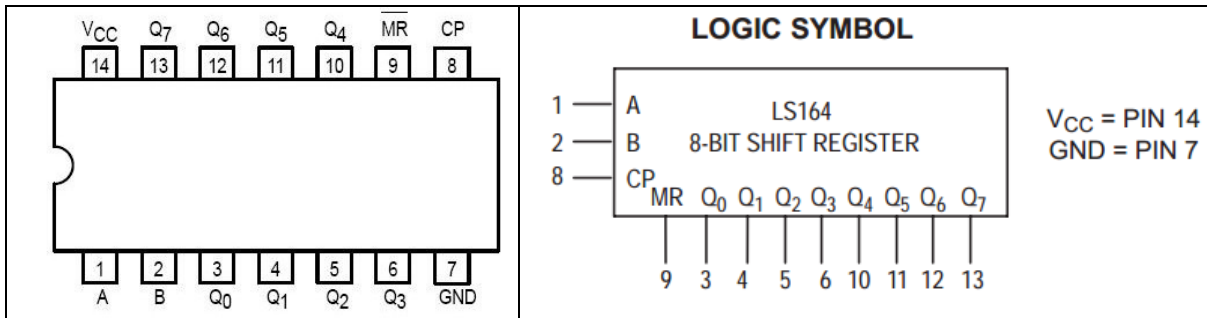
4.1. Mục đích yêu cầu:

- Khảo sát thanh ghi dịch trái và dịch phải
- Ứng dụng của thanh ghi.

4.2. Khảo sát IC 74164

4.2.1. Sơ đồ chân và bảng trạng thái:

- Sơ đồ chân:



- Bảng trạng thái:

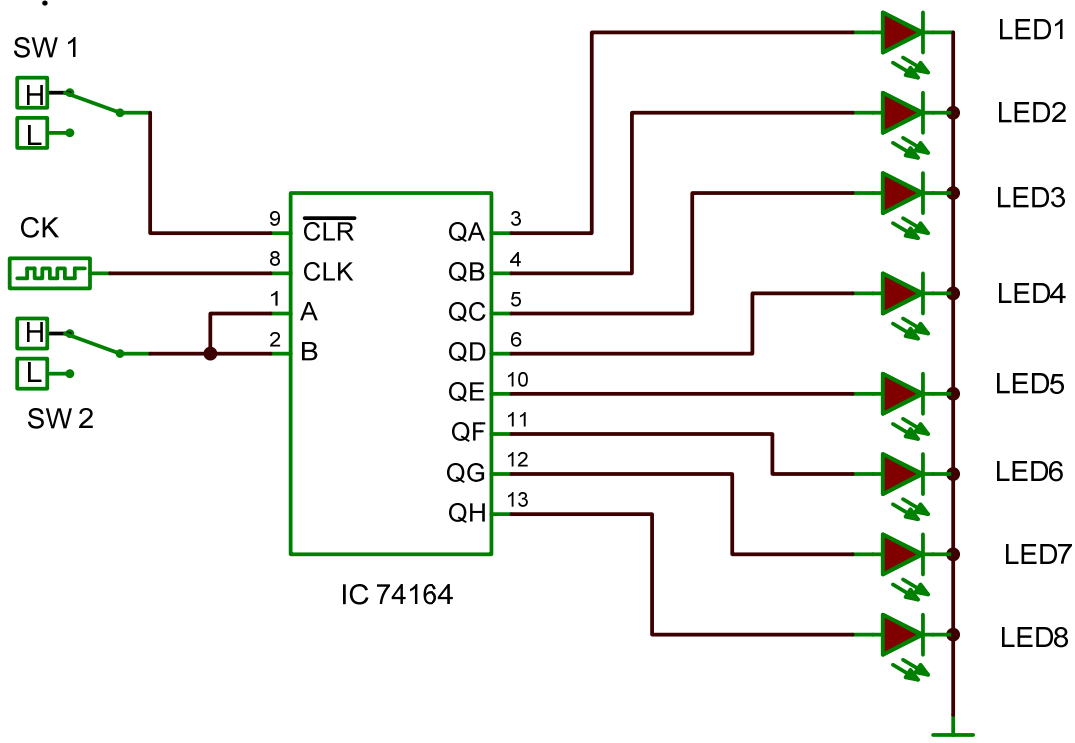
MODE SELECT — TRUTH TABLE

OPERATING MODE	INPUTS			OUTPUTS	
	$\overline{MR}$	A	B	Q ₀	Q ₁ –Q ₇
Reset (Clear)	L	X	X	L	L – L
Shift	H	l	l	L	q ₀ – q ₆
	H	l	h	L	q ₀ – q ₆
	H	h	l	L	q ₀ – q ₆
	H	h	h	H	q ₀ – q ₆

PIN NAMES

A, B	Data Inputs
CP	Clock (Active HIGH Going Edge) Input
$\overline{MR}$	Master Reset (Active LOW) Input
Q ₀ – Q ₇	Outputs

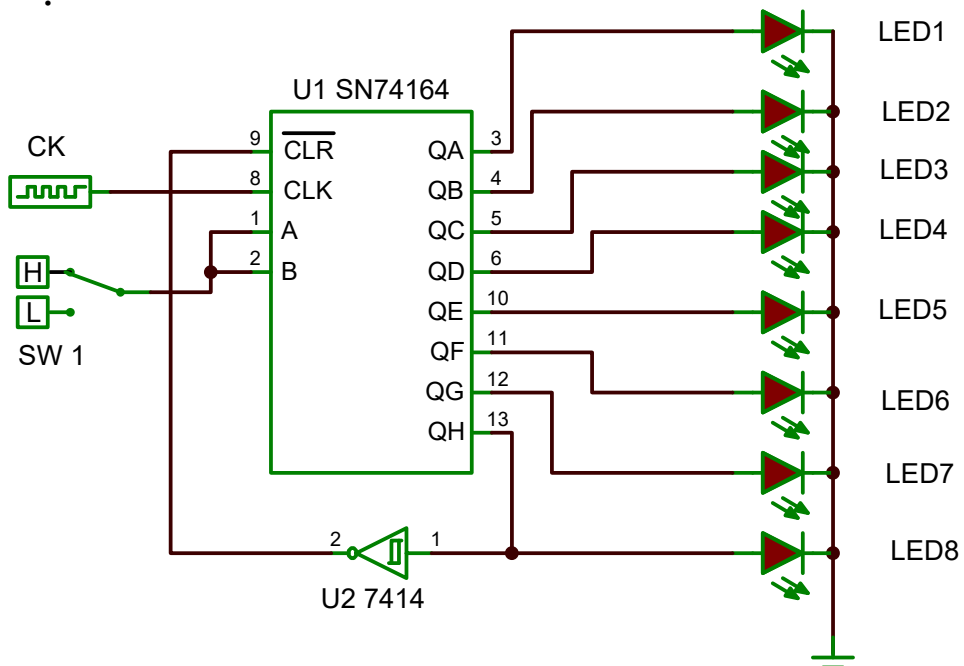
- Mạch kiểm tra IC74164



Hình 4.1: Mạch kiểm tra IC 74164

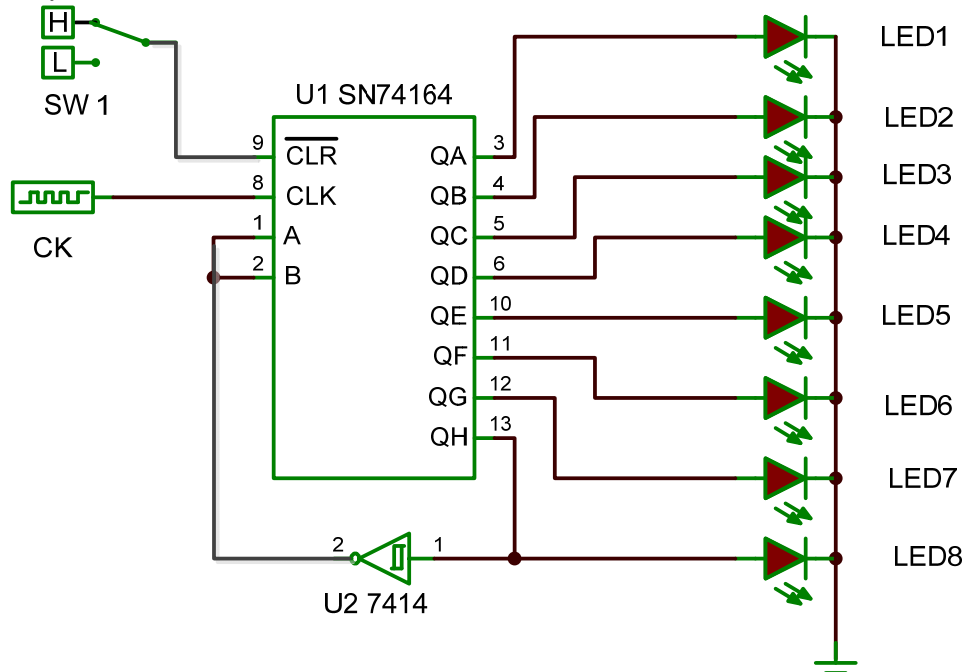
4.2.2. Các mạch ứng dụng của IC 74164

4.2.2.1. Mạch 1:



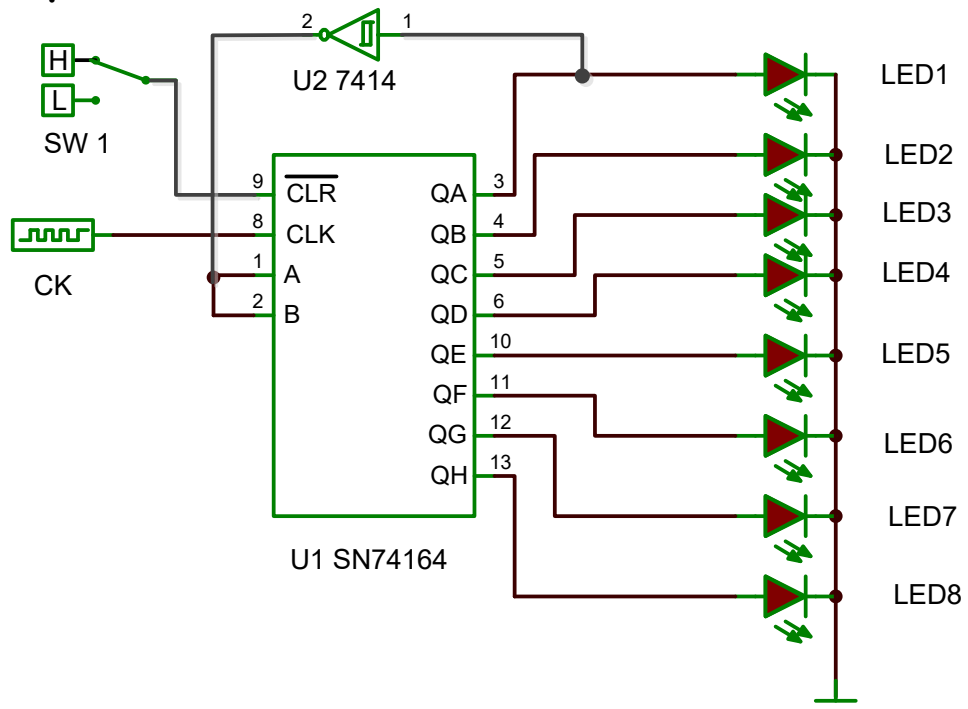
Hình 4.2: Mạch sáng dần lên và tắt hết.

4.2.2.2. Mạch 2:



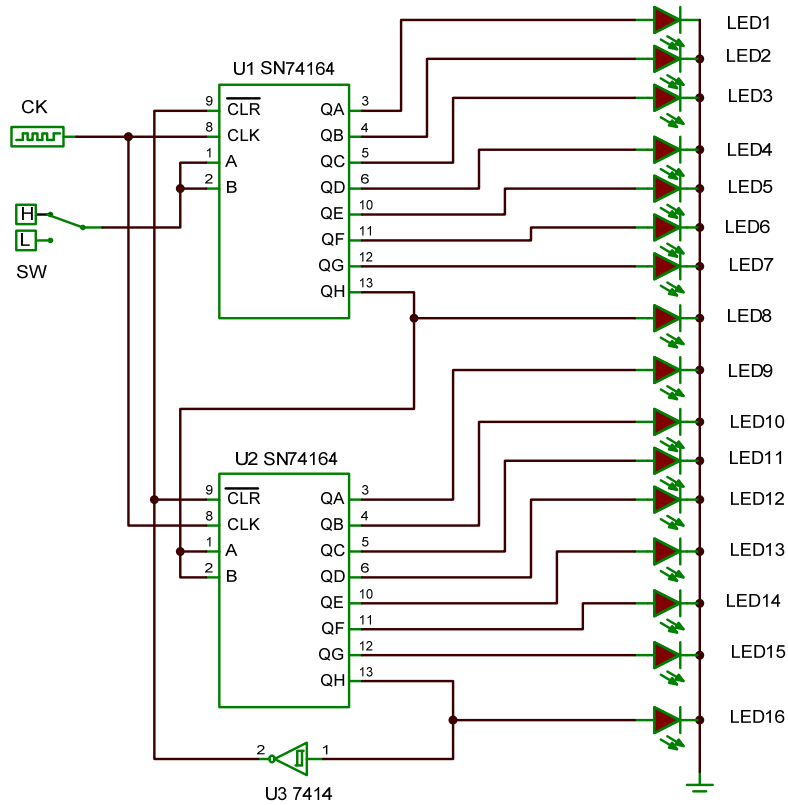
Hình 4.3: Mạch sáng dần và tắt dần

4.2.2.3. Mạch 3:



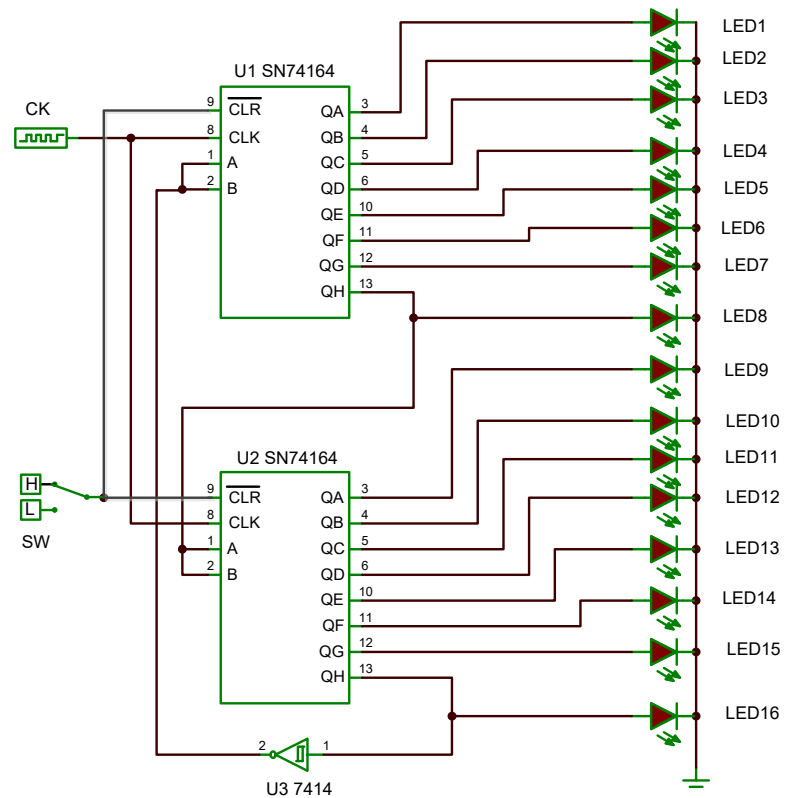
Hình 4.4: Mạch sáng tắt xen kẽ

4.2.2.4. Mạch 4:



Hình 4.5: Mạch sáng dần và tắt hết 16 LED

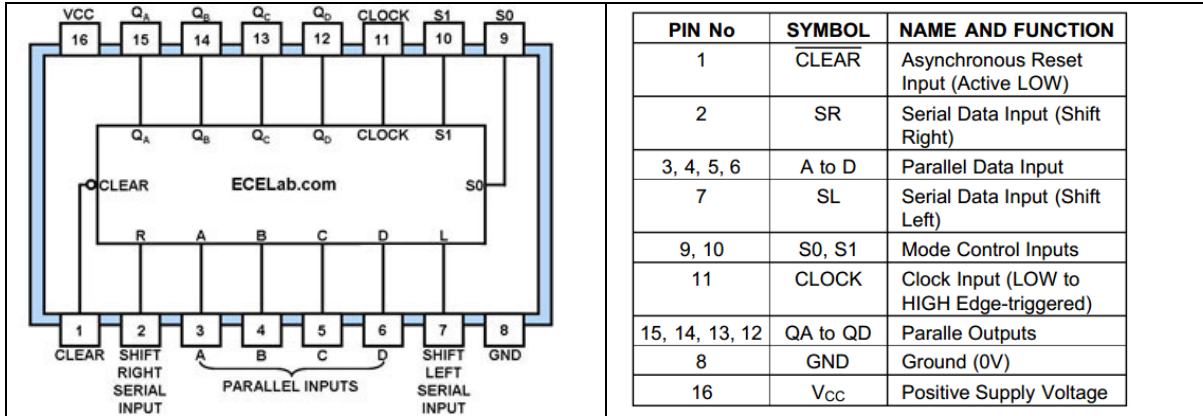
4.2.2.5. Mạch 5:



Hình 4.6: Mạch sáng dần và tắt dần 16 LED

4.3. Khảo sát IC 74194

- Sơ đồ chân:

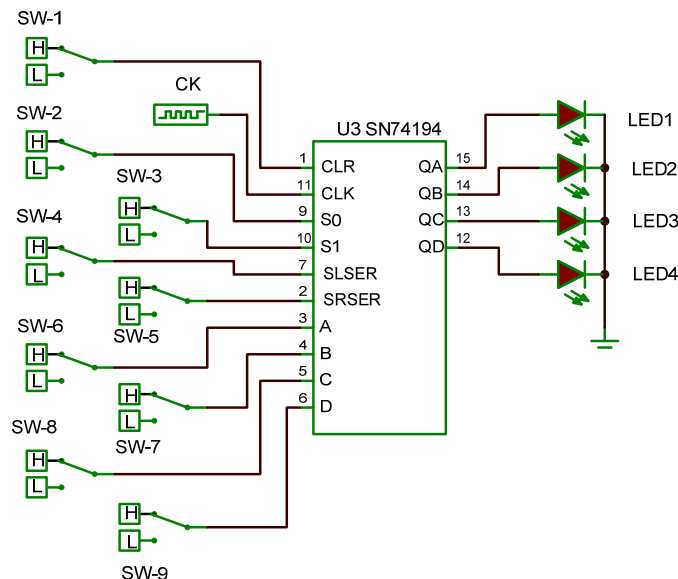


- Bảng trạng thái:

TRUTH TABLE

INPUTS										OUTPUTS			
CLEAR	MODE		CLOCK	SERIAL		PARALLEL				QA	QB	QC	QD
	S1	S0		LEFT	RIGHT	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X		X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H		X	X	a	b	c	d	a	b	c	d
H	L	H		X	H	X	X	X	X	H	QAn	QBn	QCn
H	L	H		X	L	X	X	X	X	L	QAn	QBn	QCn
H	H	L		H	X	X	X	X	X	QBn	QCn	QDn	H
H	H	L		L	X	X	X	X	X	QBn	QCn	QDn	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

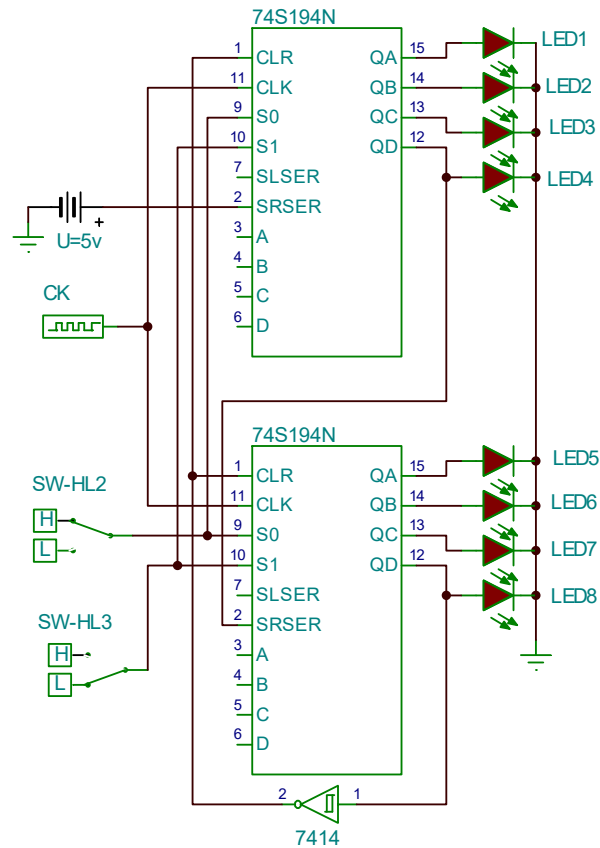
- Mạch kiểm tra IC74194



Hình 4.7: Mạch kiểm tra IC 74194

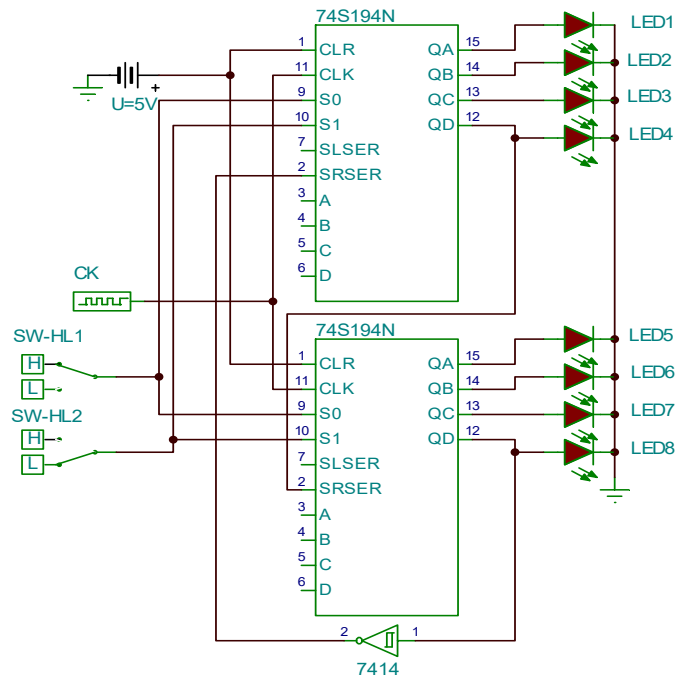
5. Các ứng dụng của IC 74194

5.1. Mạch 1



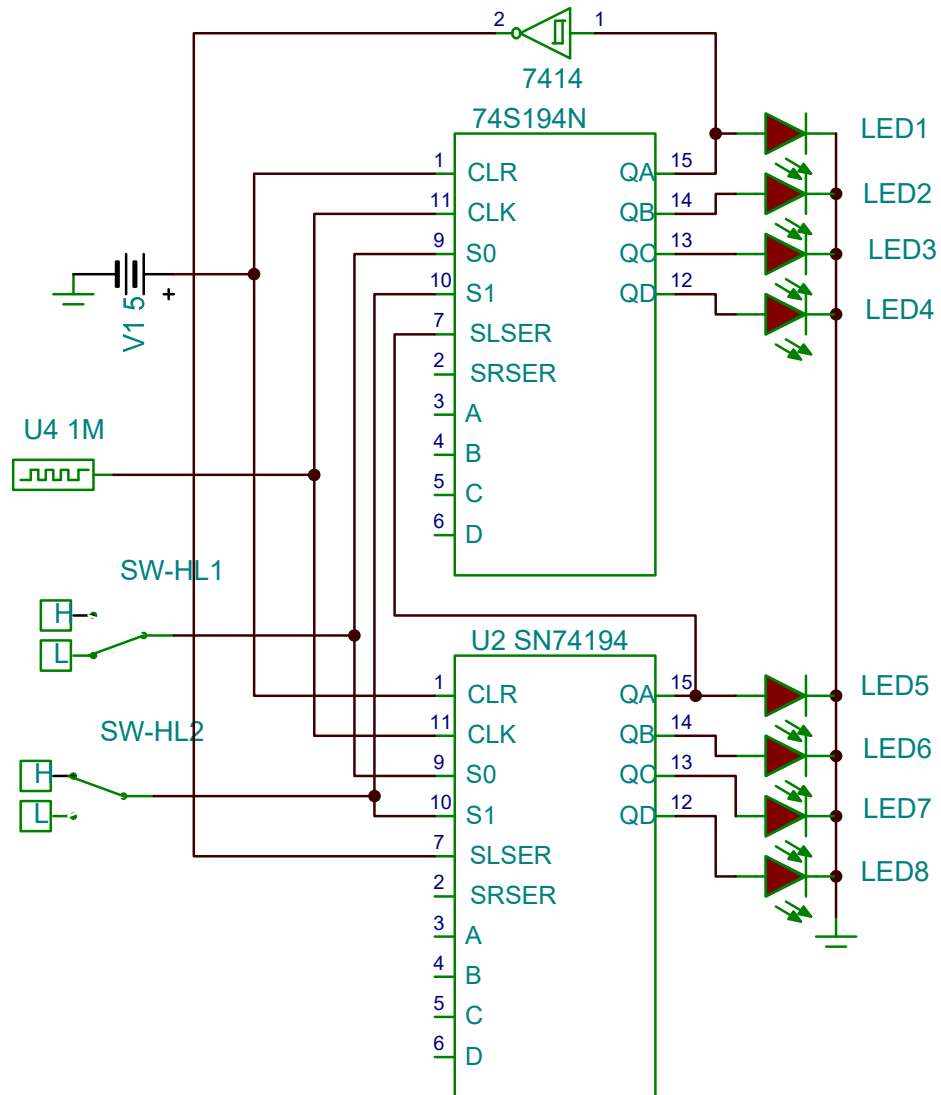
Hình 4-8: Mạch sáng dần từ trái sang phải và tắt hết sử dụng 2 IC 74194

5.2. Mạch 2



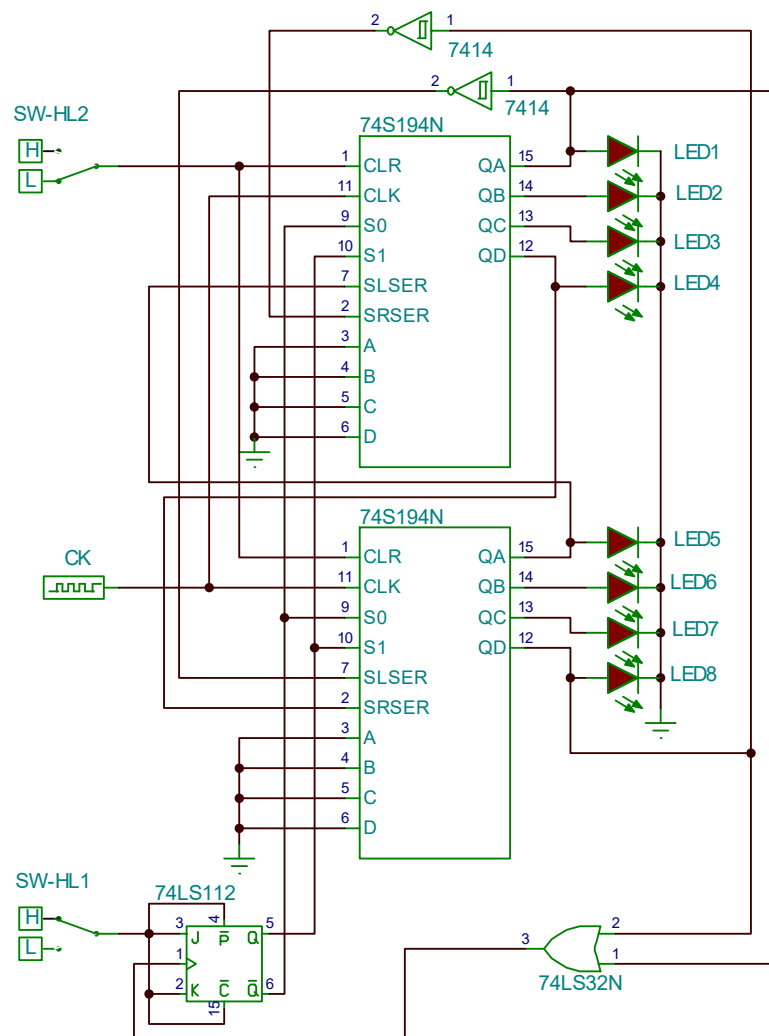
Hình 4-9: Mạch sáng dần và tắt dần từ trái sang phải sử dụng 2 IC 74194.

5.3. Mạch 3



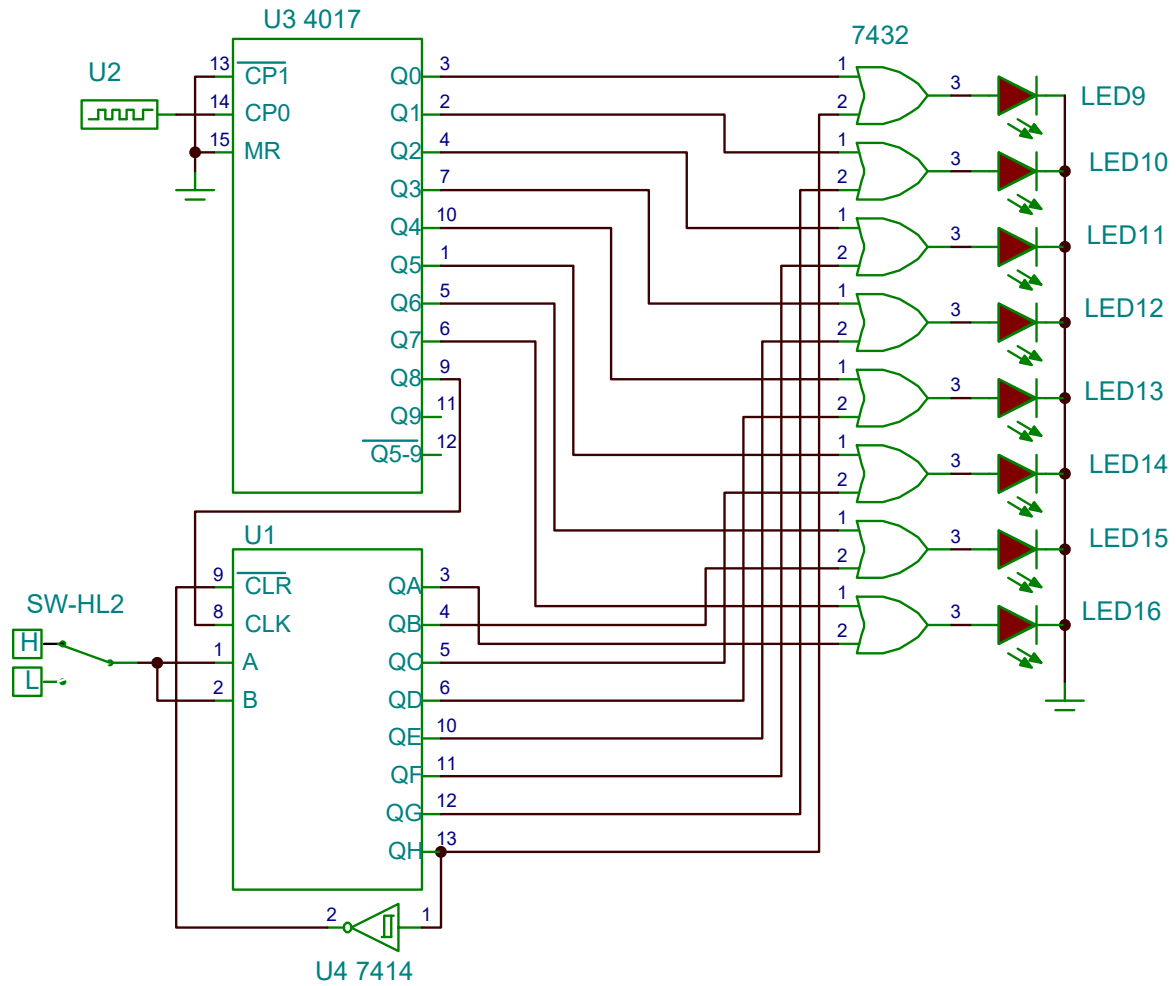
Hình 4-10: Mạch sáng dần và tắt dần từ phải sang trái sử dụng 2 IC 74194.

5.4. Mạch 4



Hình 4-11: Mạch sáng tắt dần từ phải sang trái và từ trái sang phải sử dụng 2 IC 74194

5.5. Mạch 5



Hình 4-12: Mạch đèn quảng cáo

BÀI 5:

MẠCH ĐẾM GIẢI MÃ HIỂN THỊ

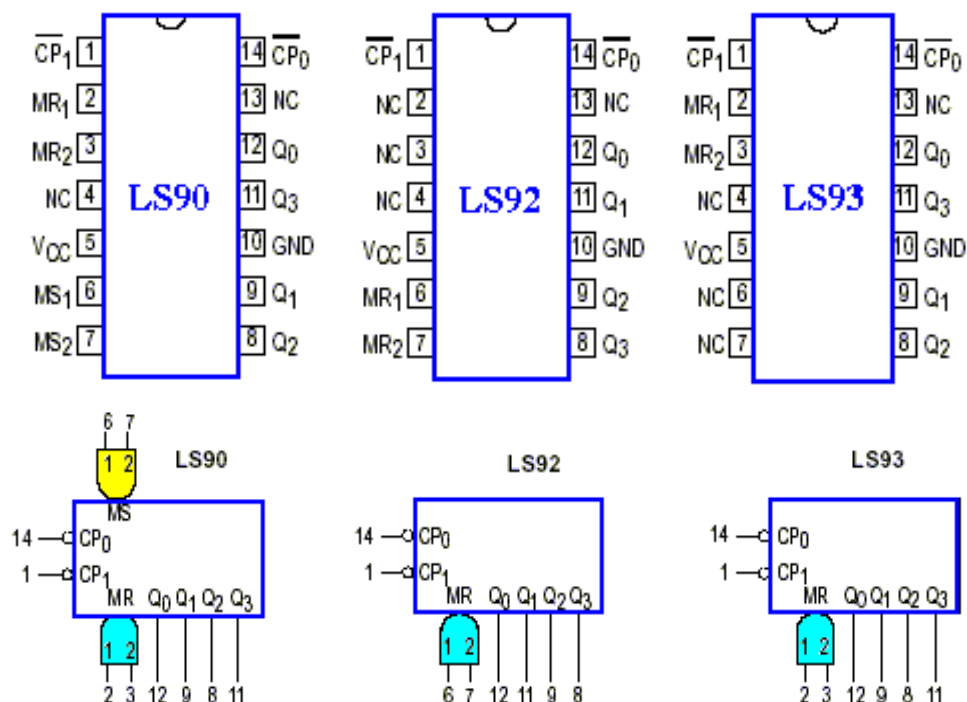
5.1. Mục đích yêu cầu:

- Khảo sát mạch đếm và giải mã.
- Thiết kế mạch dùng IC đếm.

5.2. Dụng cụ học tập:

- Bộ thí nghiệm vi mạch, đồng hồ đo DVM, dao động ký.
- Vi mạch đếm 74LS90, 74LS92, 74LS93.
- Vi mạch giải mã 4511, 74LS47, 74LS247 và các IC khảo sát.

5.3. Khảo sát IC đếm BCD 7490:



Hình 5-1: sơ đồ chân và sơ đồ kí hiệu của IC 74LS90, 74LS92, 74LS93.

LS90 MODE SELECTION

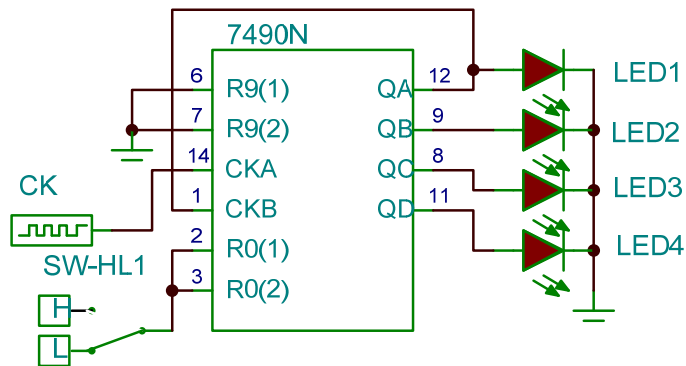
RESET/SET INPUTS				OUTPUTS			
MR ₁	MR ₂	MS ₁	MS ₂	Q ₀	Q ₁	Q ₂	Q ₃
H	H	L	X	L	L	L	L
H	H	X	L	L	L	L	L
X	X	H	H	H	L	L	H
L	X	L	X	Count			
X	L	X	L	Count			
L	X	X	L	Count			
X	L	L	X	Count			

H = HIGH Voltage Level
L = LOW Voltage Level
X = Don't Care

LS90 BCD COUNT SEQUENCE					LS92 TRUTH TABLE					LS93 TRUTH TABLE				
COUNT	OUTPUT				COUNT	OUTPUT				COUNT	OUTPUT			
	Q0	Q1	Q2	Q3		Q0	Q1	Q2	Q3		Q0	Q1	Q2	Q3
0	L	L	L	L	0	L	L	L	L	0	L	L	L	L
1	H	L	L	L	1	H	L	L	L	1	H	L	L	L
2	L	H	L	L	2	L	H	L	L	2	L	H	L	L
3	H	H	L	L	3	H	H	L	L	3	H	H	L	L
4	L	L	H	L	4	L	L	H	L	4	L	L	H	L
5	H	L	H	L	5	H	L	H	L	5	H	L	H	L
6	L	H	H	L	6	L	H	H	L	6	L	H	H	L
7	H	H	H	L	7	H	H	H	L	7	H	H	H	L
8	L	L	L	H	8	L	L	L	H	8	L	L	L	H
9	H	L	L	H	9	H	L	L	H	9	H	L	L	H
					10	L	H	L	H	10	L	H	L	H
					11	H	H	L	H	11	H	H	L	H
										12	L	L	H	H
										13	H	L	H	H
										14	L	H	H	H
										15	H	H	H	H

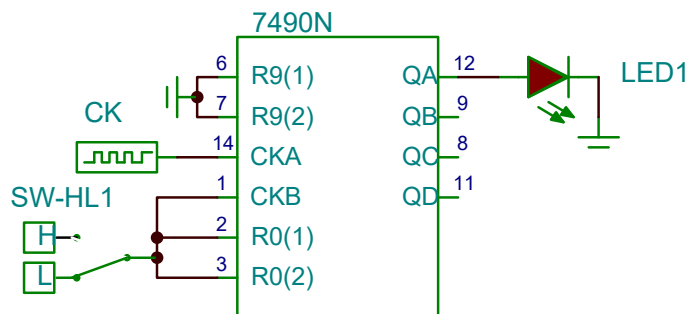
Hình 5-2: Bảng trạng thái của IC 74LS90, 74LS92, 74LS93.

5.3.1 Mạch đếm mod 10:



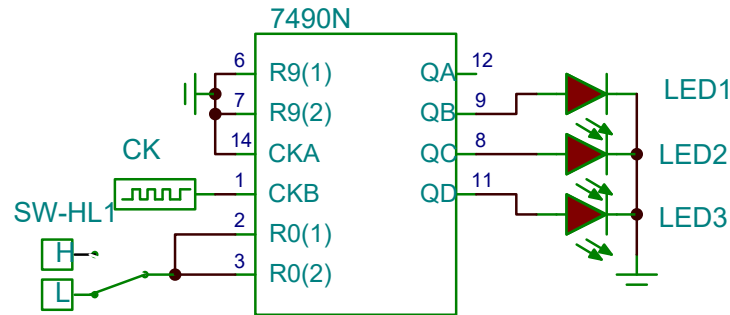
Hình 5-3: Mạch đếm BCD sử dụng IC 74LS90.

5.1.1. Mạch đếm mod 2:



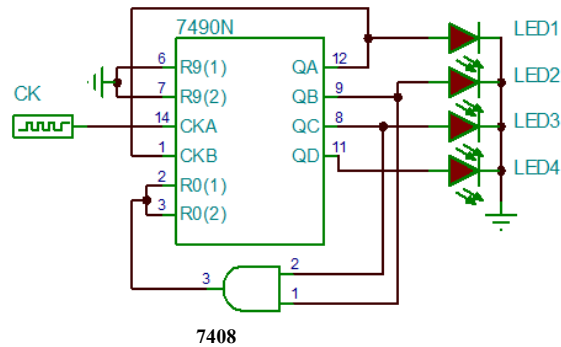
Hình 5-4: Mạch đếm mod 2 sử dụng IC 74LS90.

5.1.2. Mạch đếm mod 5:



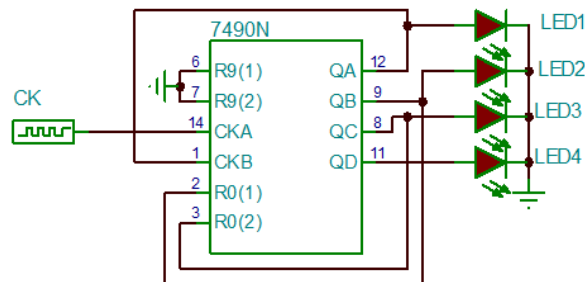
Hình 5-5: Mạch đếm mod 5 sử dụng IC 74LS90.

5.1.3. Mạch đếm mod 6 sử dụng IC 74LS90, 74LS08:



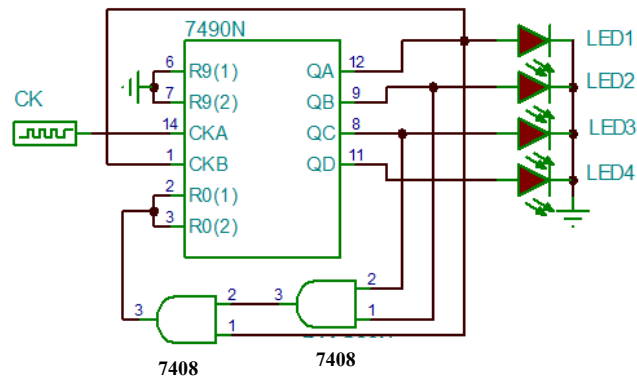
Hình 5-6: Mạch đếm mod 6 sử dụng IC 74LS90, 74LS08.

5.1.4. Mạch đếm mod 6 chỉ sử dụng IC 74LS90:



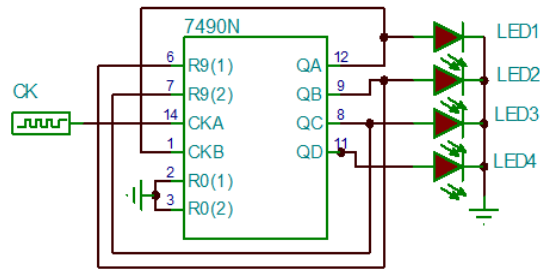
Hình 5-7: Mạch đếm mod 6 sử dụng IC 74LS90.

5.1.5. Mạch đếm mod 7 sử dụng IC 74LS90 và các cổng logic:



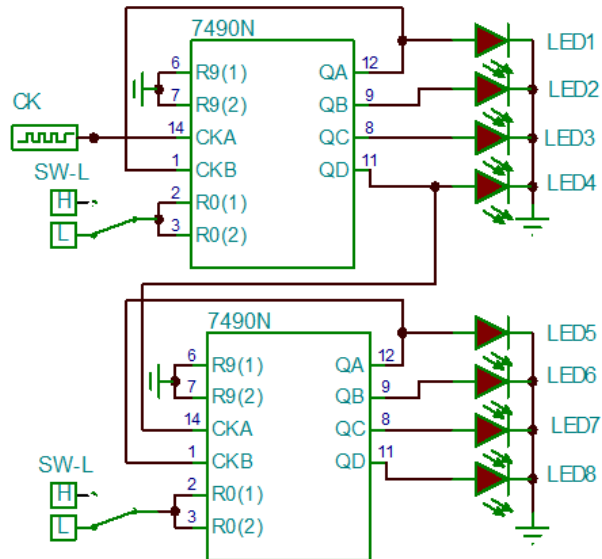
Hình 5-8: Mạch đếm mod 7 sử dụng IC 74LS90 và IC 74LS08.

5.1.6. Mạch đếm chia 7 sử dụng IC 74LS90:



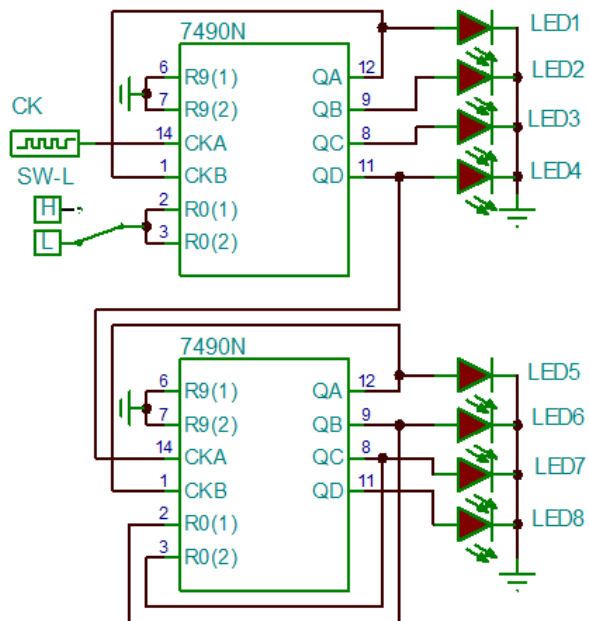
Hình 5-9: Mạch đếm mod 7 sử dụng IC 74LS90.

5.1.7. Mạch đếm BCD từ 00 đến 99 sử dụng 2 IC 74LS90:

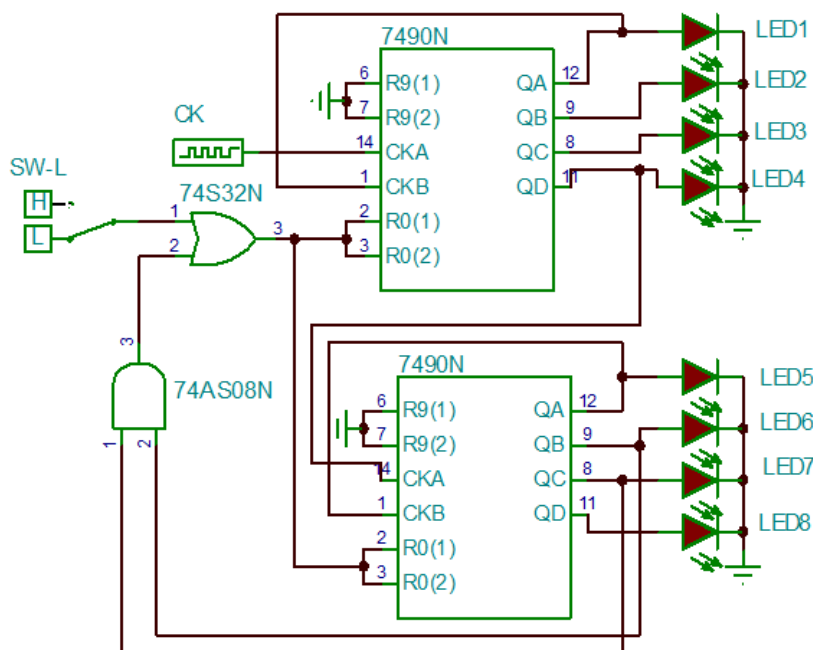


Hình 5-10: Mạch đếm BCD từ 00 đến 99 sử dụng 2 IC 74LS90.

5.1.8. Mạch đếm BCD từ 00 đến 59 sử dụng 2 IC 74LS90:

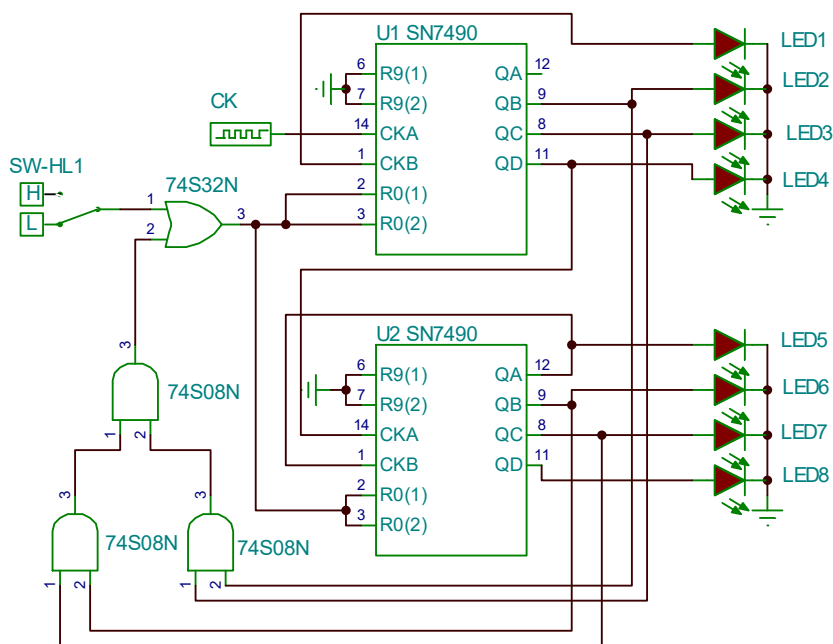


Hình 5-11a: Mạch đếm BCD từ 00 đến 59 sử dụng 2 IC 74LS90.



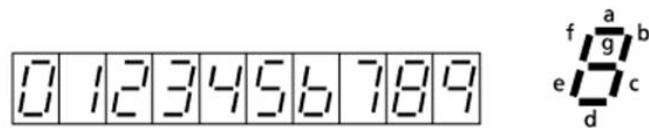
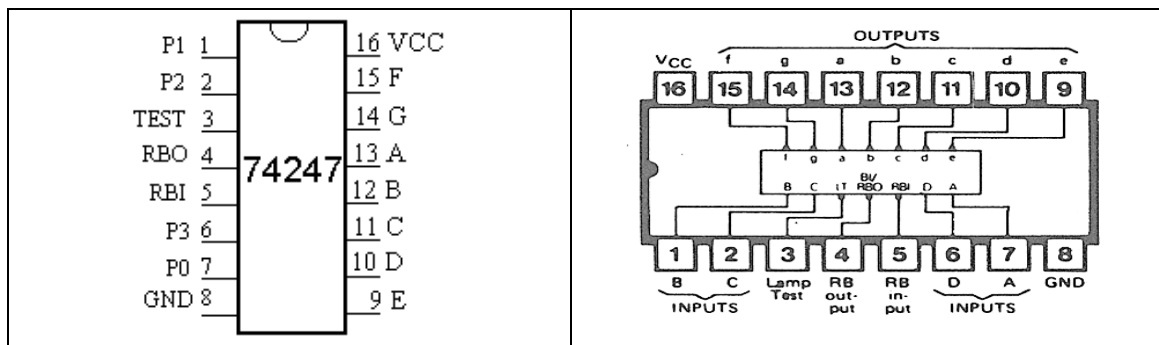
Hình 5-11a: Mạch đếm BCD từ 00 đến 59 sử dụng 2 IC 74LS90, có thể reset được.

5.1.9. Mạch đếm BCD từ 00 đến 65 sử dụng 2 IC 74LS90 và cổng logic:



Hình 5-12: Mạch đếm BCD từ 00 đến 65 sử dụng 2 IC 74LS90 và cổng logic.

5.4. Khảo sát IC giải mã led 7 đoạn loại Anode chung 74247 (hoặc 7447).

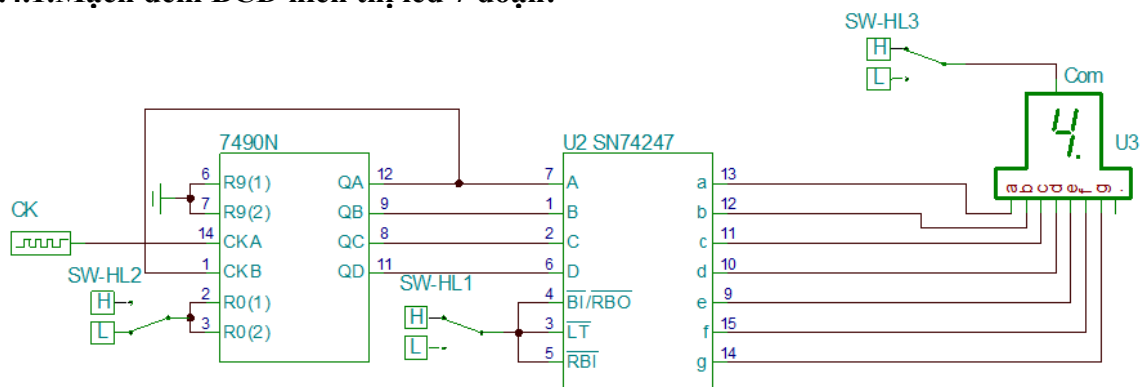


Hình 5-13: sơ đồ chân IC 74LS247 và hiển thị số tương ứng với mã nhị phân.

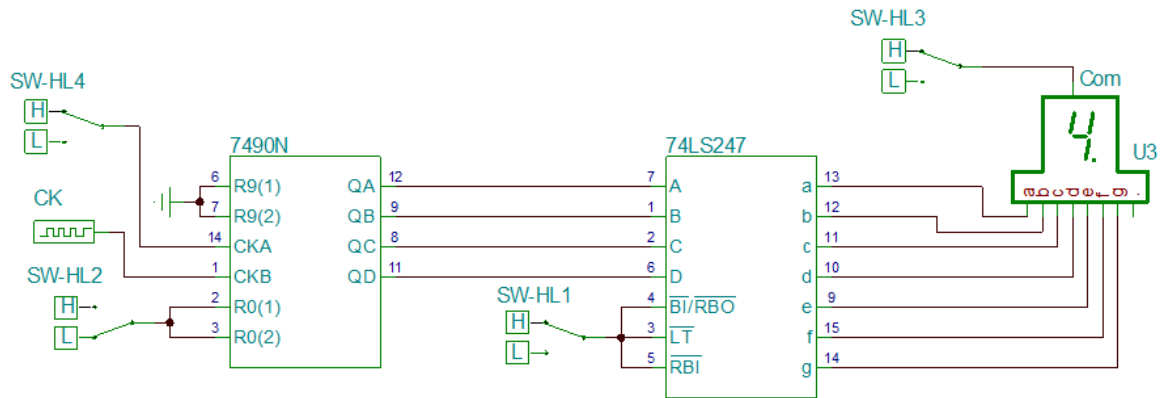
LS247 FUNCTION TABLE															
DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS							NOTE
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g	
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF	1
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF	
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON	
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON	
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON	
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON	
6	H	X	L	H	H	L	H	ON	OFF	ON	ON	ON	ON	ON	
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF	
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON	
9	H	X	H	L	L	H	H	ON	ON	ON	ON	OFF	ON	ON	
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON	
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON	
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON	
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON	
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON	
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF	
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	2
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF	3
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON	4

Hình 5-13: Bảng trạng thái IC 74LS247.

5.4.1. Mạch đếm BCD hiển thị led 7 đoạn:

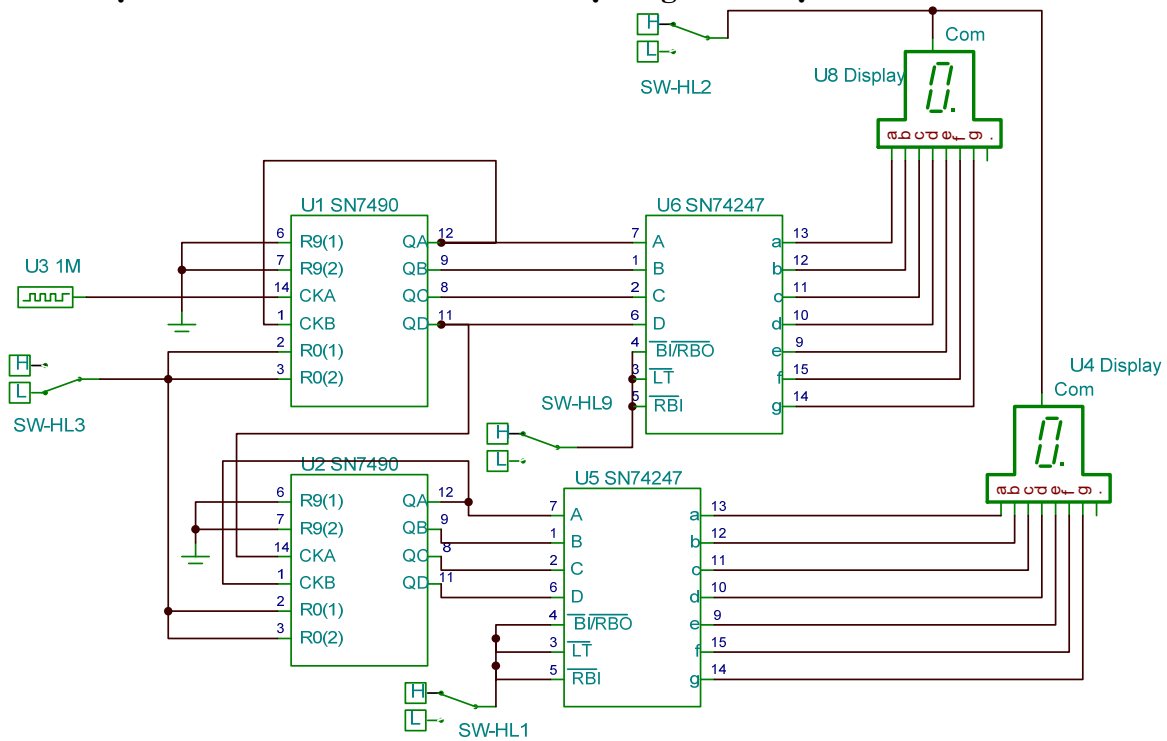


Hình 5-14a: Mạch đếm BCD có giải mã hiển thị led 7 đoạn.



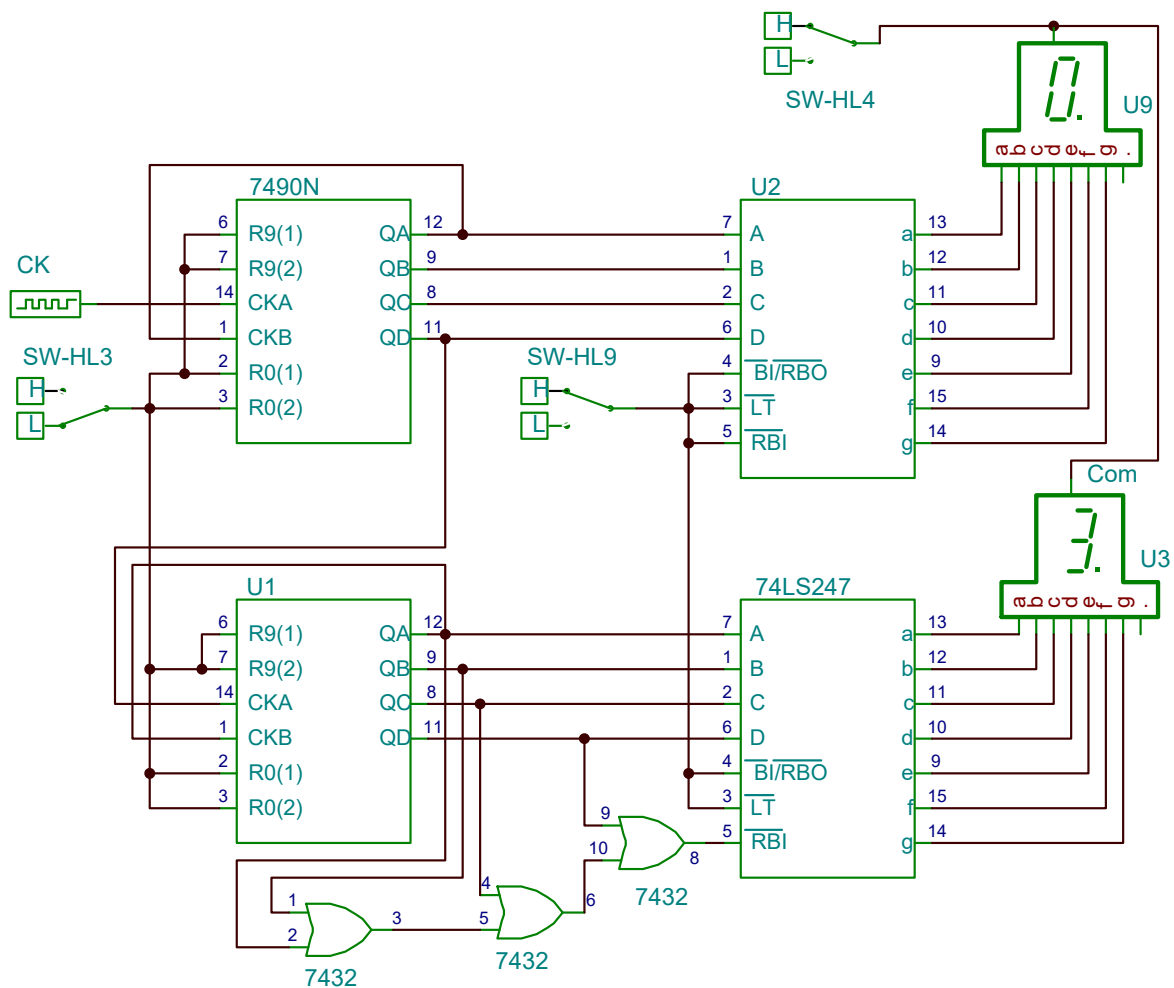
Hình 5-14b: SW-HL4 điều khiển cho ra 0,2,4,6,8 hoặc 1,3,5,7,9.

5.4.2. Mạch đếm BCD từ 00 đến 99 hiển thị bằng led 7 đoạn.



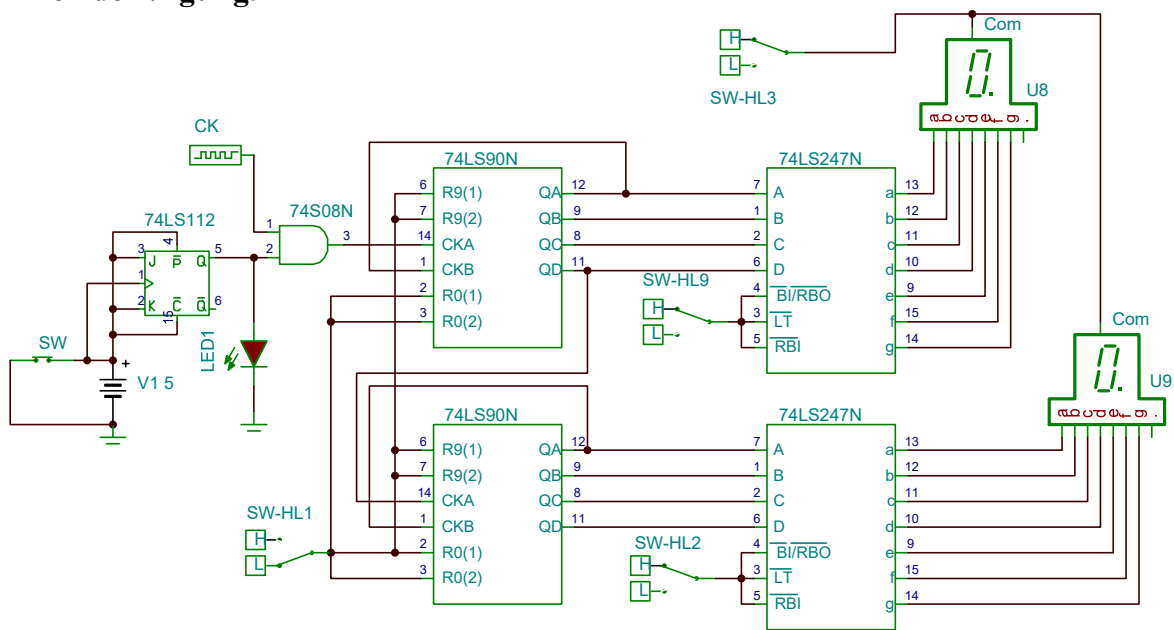
Hình 5-15: Mạch đếm BCD từ 00 đến 99 hiển thị bằng led 7 đoạn.

5.4.3. Mạch đếm BCD từ 00 đến 99 hiển thị bằng led 7 đoạn có xóa số 0 vô nghĩa ở hàng chục.



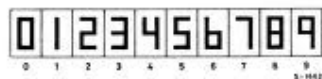
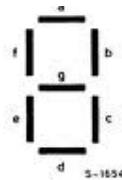
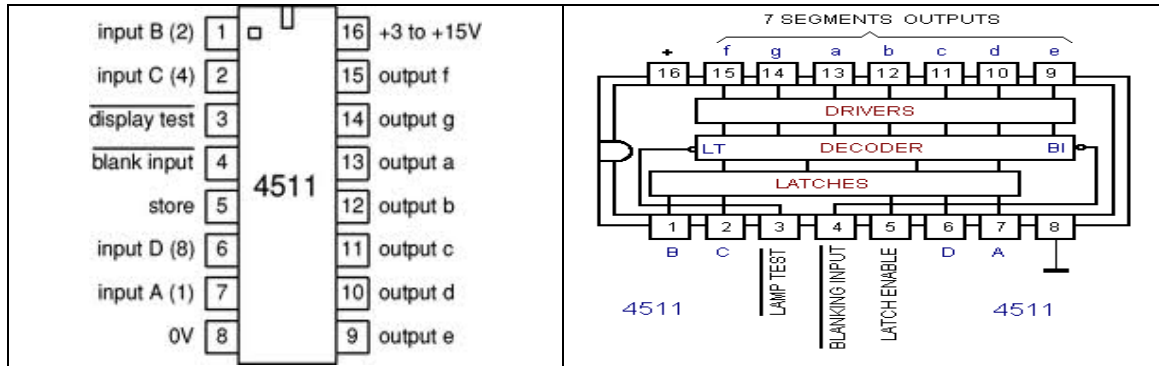
Hình 5-16: Mạch đếm BCD từ 00 đến 99 hiển thị bằng led 7 đoạn.

5.4.4. Mạch đếm BCD từ 00 đến 99 hiển thị bằng led 7 đoạn và có nút nhấn điều khiển đếm/ngừng.



Hình 5-17: Mạch đếm BCD từ 00 đến 99 hiển thị bằng led 7 đoạn.

5.5. Khảo sát IC giải mã led 7 đoạn loại cathode chung 4511:



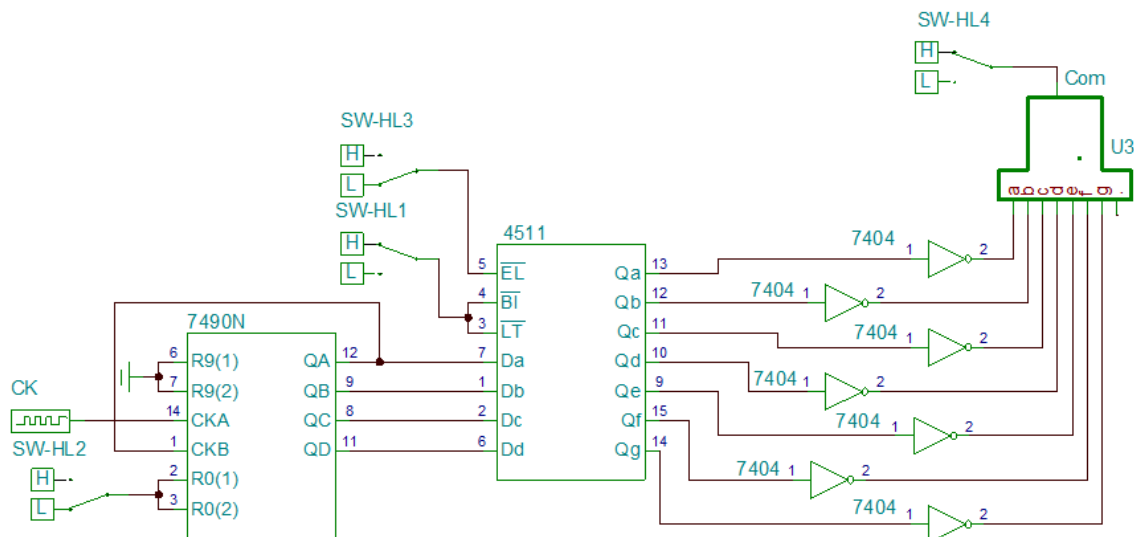
Hình 5-18: Sơ đồ chân và hiển thị tương ứng IC 4511.

TABLE 1

Inputs							Outputs							Display
LE	$\overline{BI}$	$\overline{LT}$	D	C	B	A	a	b	c	d	e	f	g	
X	X	0	X	X	X	X	1	1	1	1	1	1	1	8
X	0	1	X	X	X	X	0	0	0	0	0	0	0	
0	1	1	0	0	0	0	1	1	1	1	1	1	0	0
0	1	1	0	0	0	1	0	1	1	0	0	0	0	1
0	1	1	0	0	1	0	1	1	0	1	1	0	1	2
0	1	1	0	0	1	1	1	1	1	1	0	0	1	3
0	1	1	0	1	0	0	0	1	1	0	0	1	1	4
0	1	1	0	1	0	1	1	0	1	1	0	1	1	5
0	1	1	0	1	1	0	0	0	1	1	1	1	1	6
0	1	1	0	1	1	1	1	1	1	0	0	0	0	7
0	1	1	1	0	0	0	1	1	1	1	1	1	1	8
0	1	1	1	0	0	1	1	1	1	0	0	1	1	9
0	1	1	1	0	1	0	0	0	0	0	0	0	0	
0	1	1	1	0	1	1	0	0	0	0	0	0	0	
0	1	1	1	1	0	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	0	0	0	0	0	0	0	0	
0	1	1	1	1	1	1	0	0	0	0	0	0	0	
1	1	1	X	X	X	X				*				*

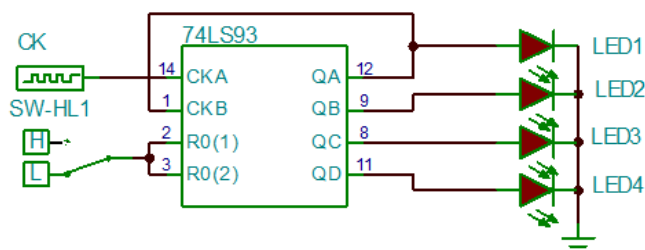
Hình 5-19: Bảng trạng thái IC 4511.

5.5.1. Mạch đếm BCD hiển thị trên LED 7 đoạn loại Cathode chung dùng IC giải mã 4511



Hình 5-20: Mạch đếm BCD.

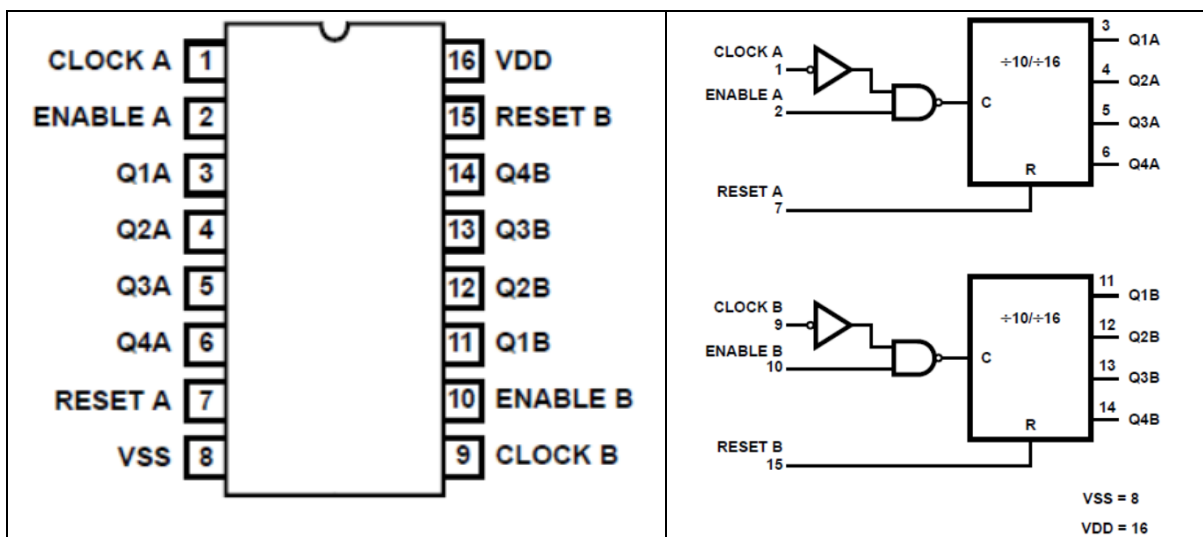
5.5.2. Mạch đếm nhị phân 4 bit sử dụng 74LS93



Hình 5-21: Mạch đếm nhị phân 4 bit sử dụng 74LS93.

5.6. Khảo sát IC 4518

5.6.1. Sơ đồ chân



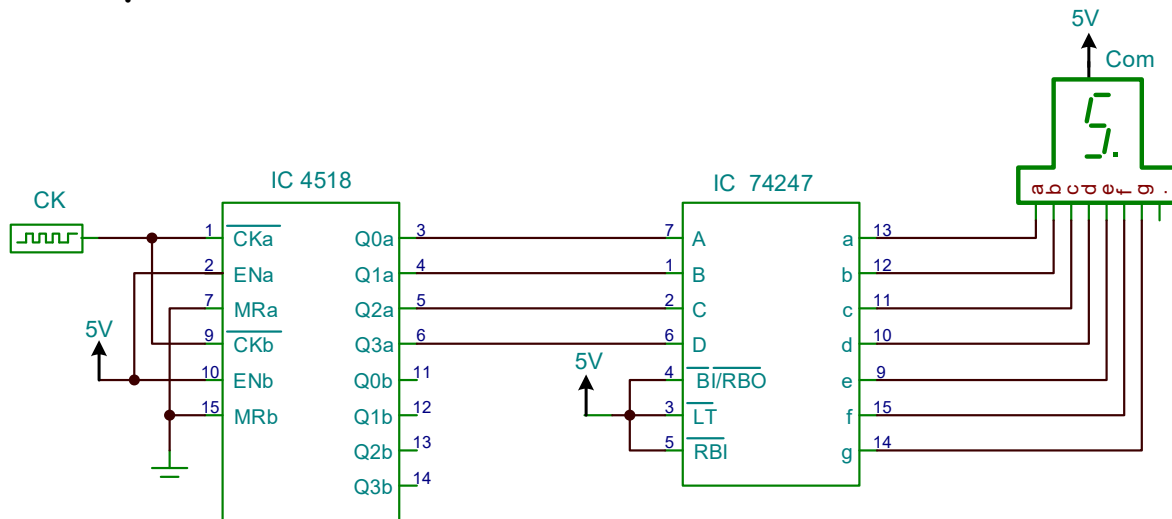
Hình 5.22: Sơ đồ chân IC 4518

TRUTH TABLE

CLOCK	ENABLE	RESET	ACTION
	1	0	Increment Counter
0		0	Increment Counter
	X	0	No Change
X		0	No Change
	0	0	No Change
1		0	No Change
X	X	1	Q1 thru Q4 = 0

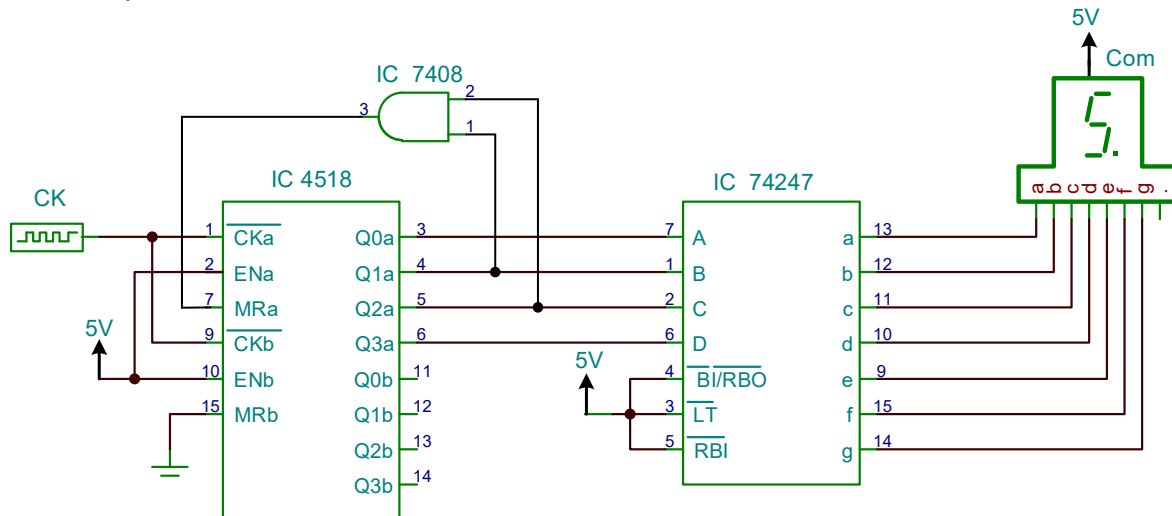
X = Don't Care 1 = High State 0 = Low State

5.6.2. Mạch đếm từ 0 đến 9



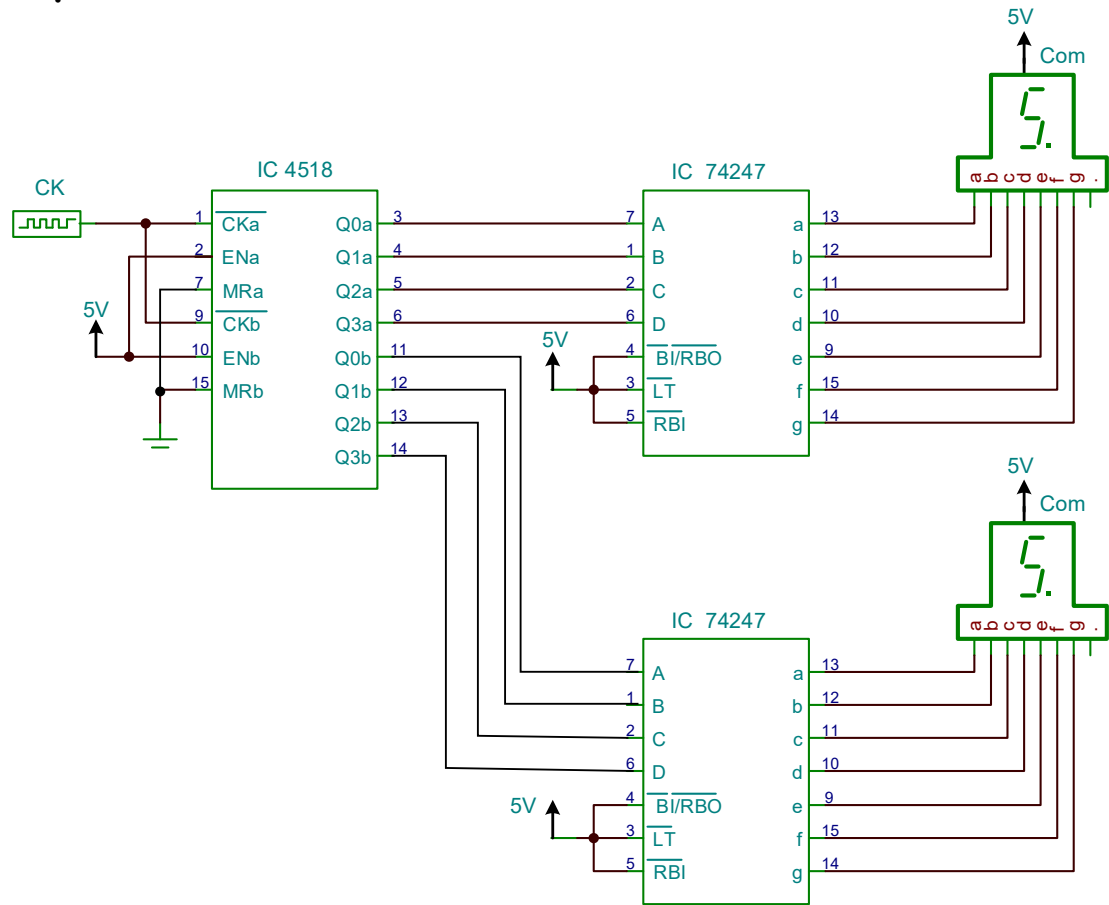
Hình 2.23: Mạch đếm từ 0 đến 9

5.6.3. Mạch đếm từ 0 đến 5



Hình 2.24: Mạch đếm từ 0 đến 5

5.6.4. Mạch đếm từ 00 đến 99



Hình 2.25: Mạch đếm từ 00 đến 99

Bài 6: MẠCH ĐẾM LÊN – ĐẾM XUỐNG- ĐẶT TRƯỚC SỐ ĐẾM

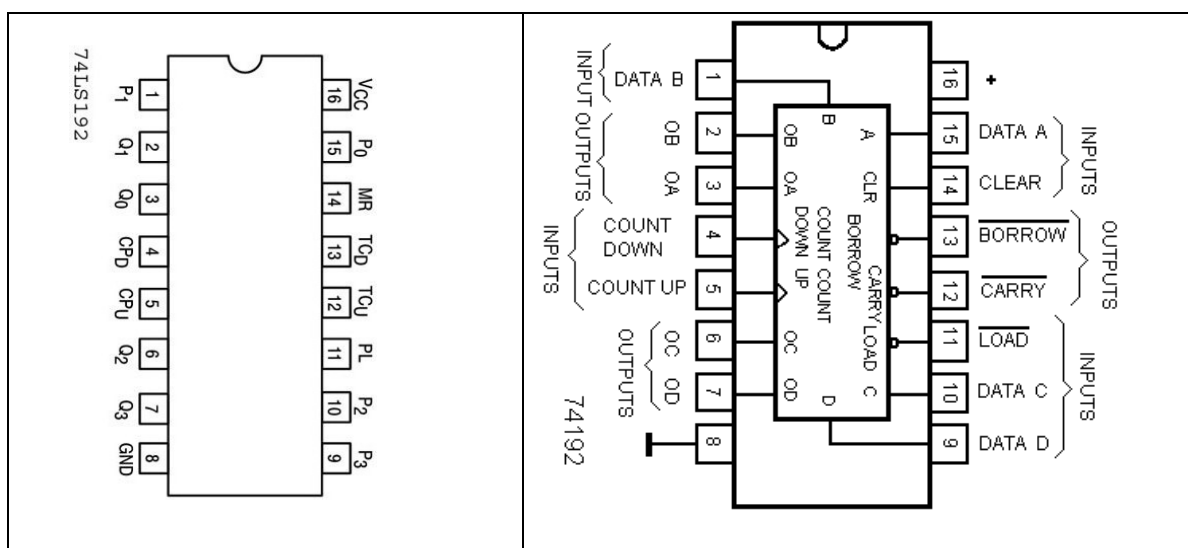
6.1.Mục đích yêu cầu:

- Khảo sát các mạch đếm đặt trước số đếm, đếm lên đếm xuống.
- Thiết kế các mạch đếm dùng các IC đếm.

6.2.Dụng cụ học tập:

- Bộ thí nghiệm vi mạch, đồng hồ đo VOM, DVM, dao động ký.
- Vi mạch 74LS192, 74LS190, 74LS193 HOẶC 40193 và các IC đã khảo sát.

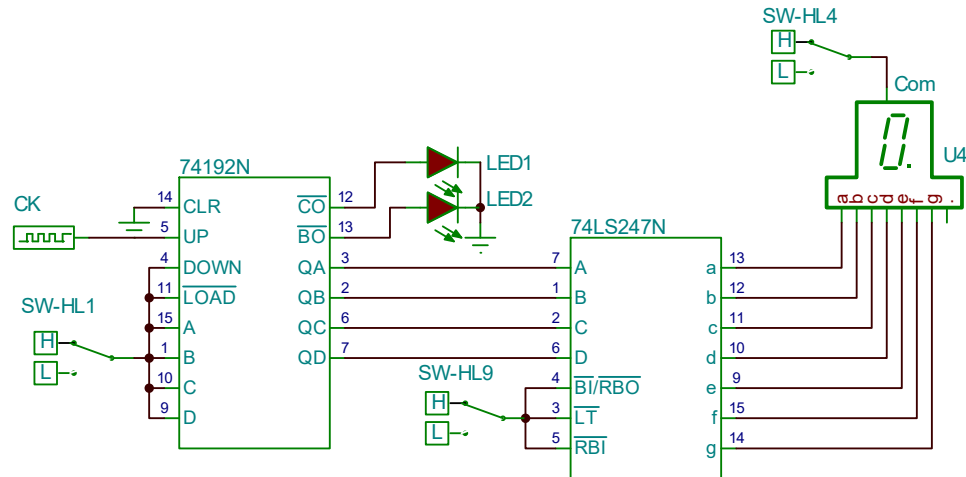
6.3.Khảo sát IC đếm BCD đặt trước số đếm 74192:



MR	PL	CP _U	CP _D	Trạng thái
H	X	X	X	Xóa
L	L	X	X	Xóa trước
L	H	L→H	H	Không đổi
L	H	L→H	H	Đếm lên
L	H	H	L→H	Đếm xuống

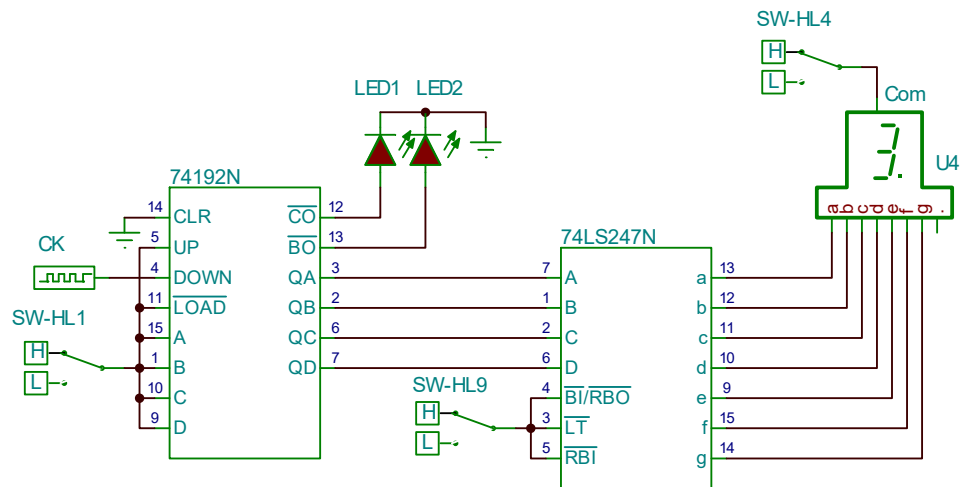
Hình 6-1: Sơ đồ chân, sơ đồ logic, bảng trạng thái IC 74LS192.

6.3.1. Mạch đếm BCD – đếm lên – hiển thị trên led 7 đoạn:



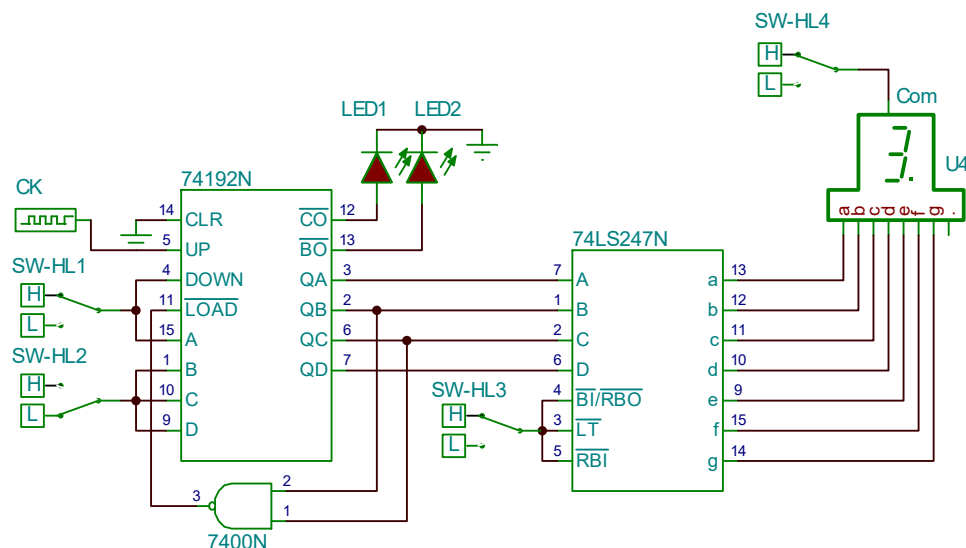
Hình 6-2: Mạch đếm BCD – đếm lên sử dụng IC 74LS192.

6.3.2 Mạch đếm BCD – đếm xuống – hiển thị trên led 7 đoạn:



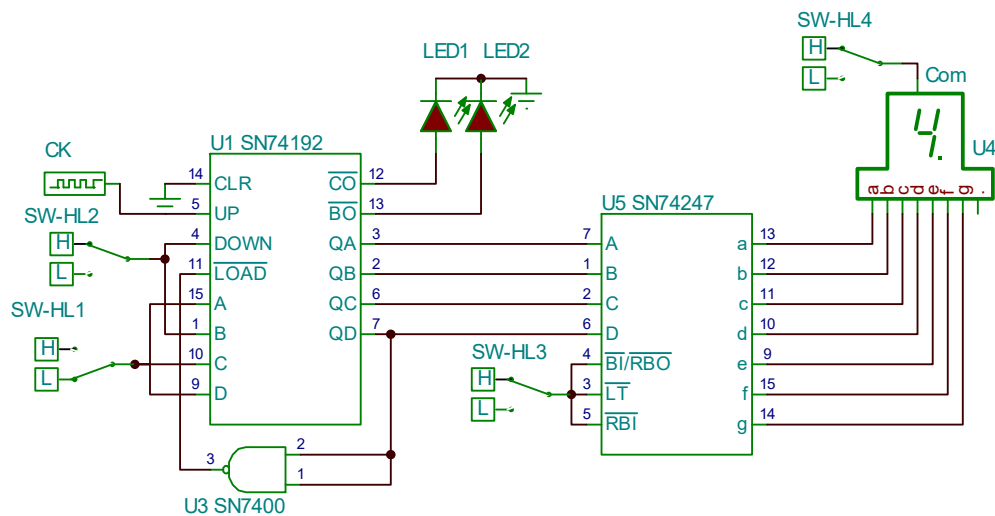
Hình 6-3: Mạch đếm BCD – đếm xuống sử dụng IC 74LS192.

6.3.3. Mạch đếm đặt trước số đếm từ 1 đến 5 – hiển thị trên led 7 đoạn:



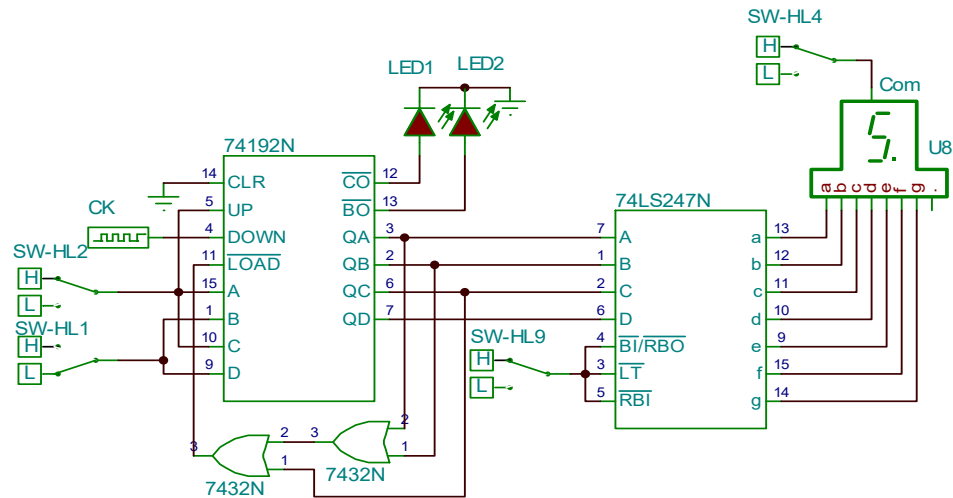
Hình 6-4: Mạch đếm từ 1 đến 5 sử dụng IC 74LS192.

6.3.4. Mạch đếm đặt trước số đếm từ 2 đến 7 – hiển thị trên led 7 đoạn:



Hình 6-5: Mạch đếm từ 2 đến 7 sử dụng IC 74LS192.

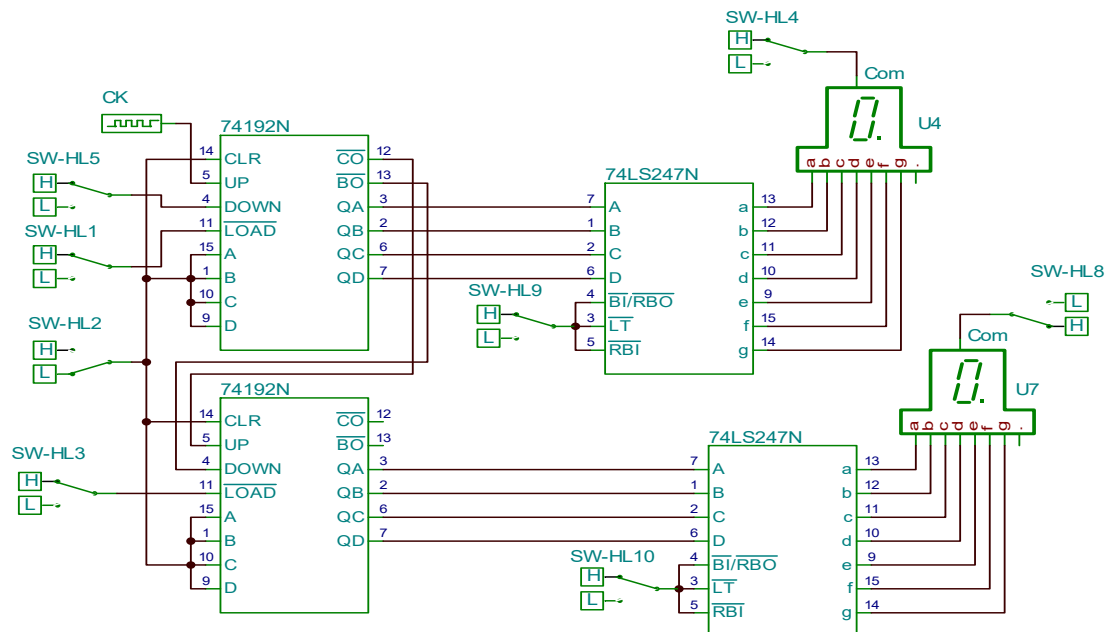
6.3.5. Mạch đếm đặt trước từ 5 xuống 1 – hiển thị trên led 7 đoạn:



Hình 6-6: Mạch đếm từ 5 xuống 1 sử dụng IC 74LS192

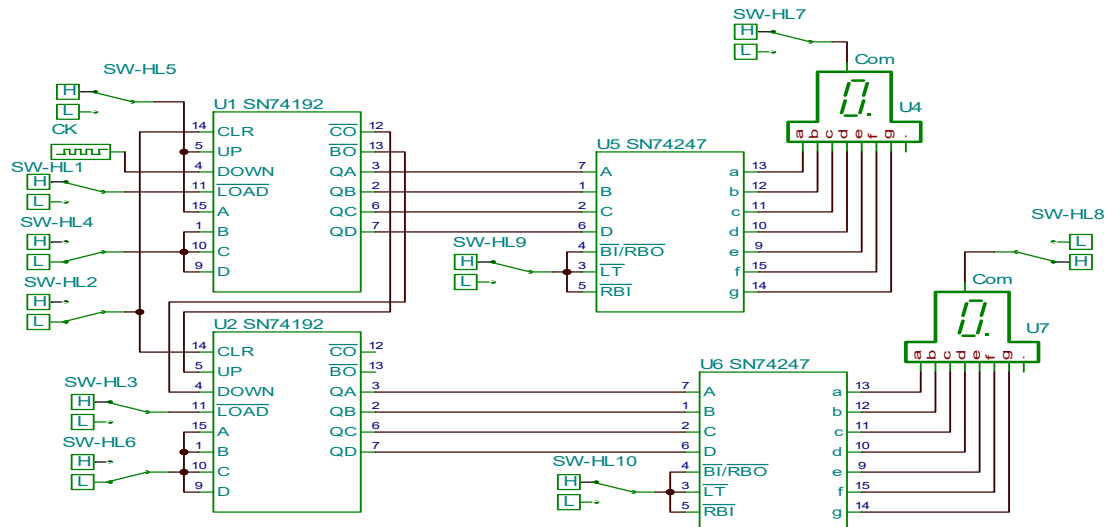
6.4. Thiết kế các mạch ứng dụng:

6.4.1. Thiết kế mạch lên từ 00 đến 99 dùng 2 IC đếm 74192:



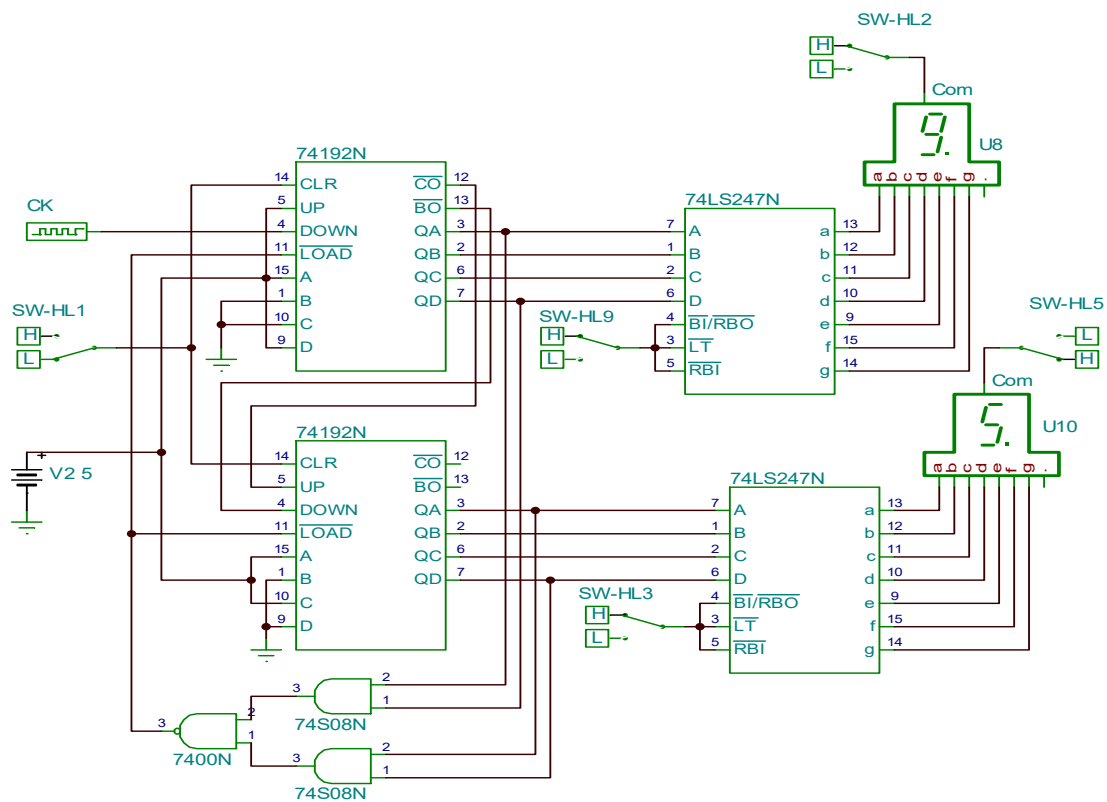
Hình 6-7: Mạch lên từ 00 đến 99 dùng 2 IC đếm 74192.

6.4.2. Thiết kế mạch đếm từ 99 đến 00 dùng 2 IC đếm 74192:



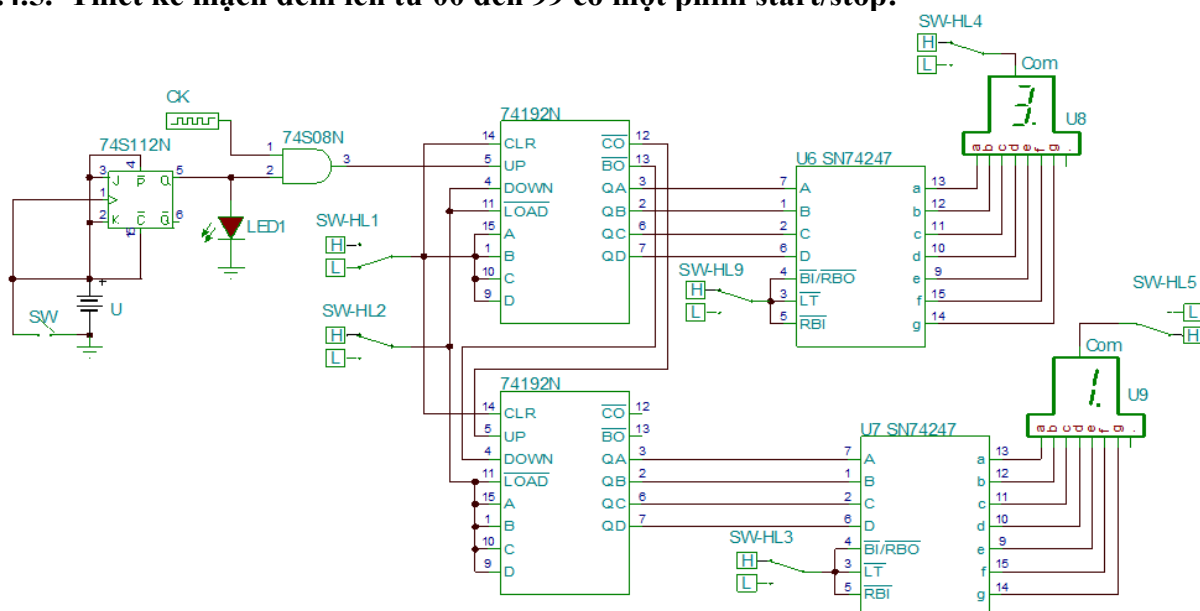
Hình 6-8: Mạch đếm từ 99 đến 00 dùng 2 IC đếm 74192.

6.4.3. Thiết kế mạch đếm từ 59 đến 00 dùng 2 IC đếm 74192:



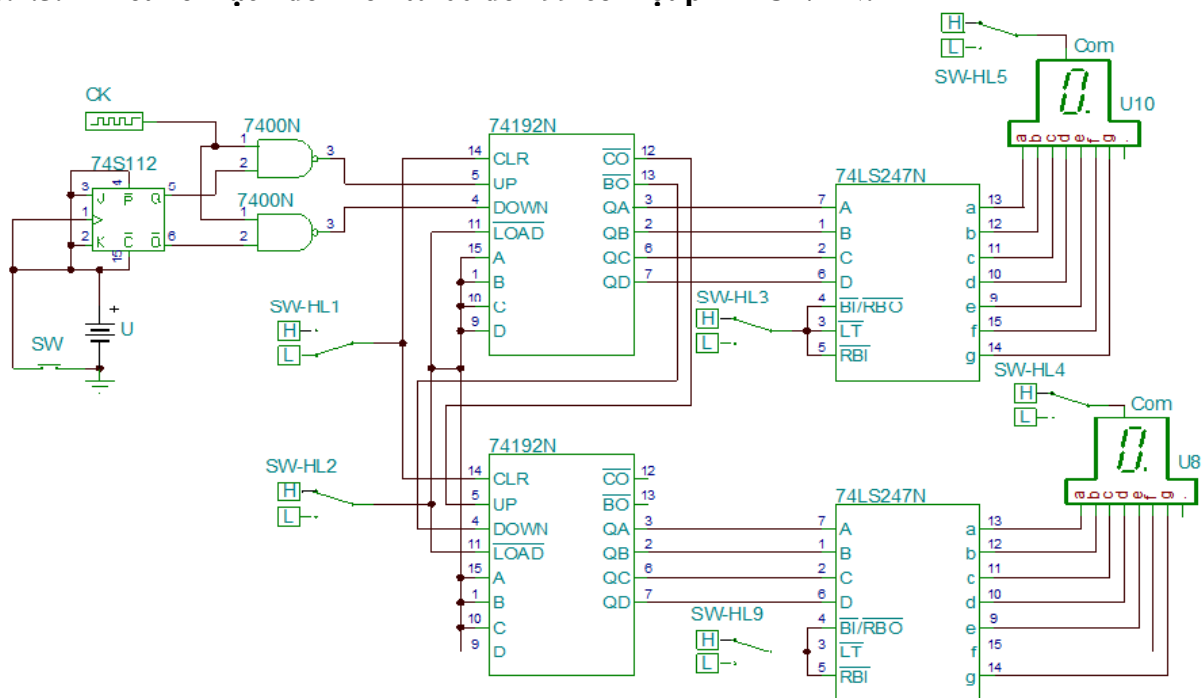
Hình 6-9: Mạch đếm từ 59 đến 00 dùng 2 IC đếm 74192.

6.4.5. Thiết kế mạch đếm lên từ 00 đến 99 có một phím start/stop:



Hình 6-10: Mạch đếm từ 00 đến 99 dùng 2 IC đếm 74192 có thêm nút start/stop.

6.4.5. Thiết kế mạch đếm lên từ 00 đến 99 có một phím UP/DN:



Hình 6-10: Mạch đếm từ 00 đến 99 dùng 2 IC đếm 74192 có thêm nút UP/DN.

Bài 7:

MẠCH ĐỒN KÊNH – MULTIPLEXER

7.1. Mục đích yêu cầu:

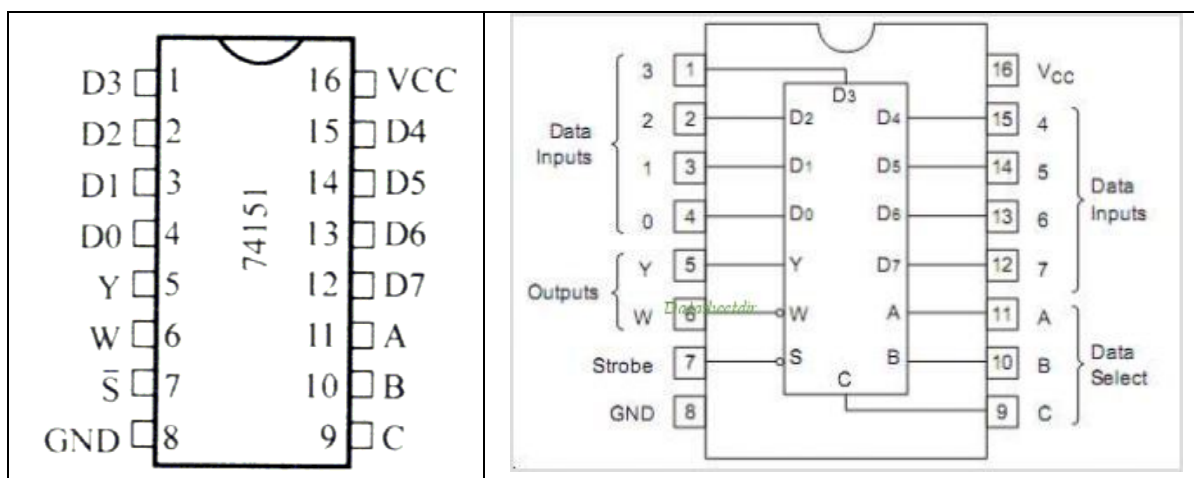
- Khảo sát IC 74LS151.
- Thiết kế các mạch dùng IC 74LS151.

7.2. Dụng cụ học tập:

- Bộ thí nghiệm vi mạch, đồng hồ đo DVM, dao động ký.
- Vi mạch 74LS và các IC đã khảo sát.

7.3. Các bước thực tập:

7.3.1. Khảo sát IC 74LS151:



Truth Table

Inputs				Outputs	
Select			Strobe S	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

H = HIGH Level

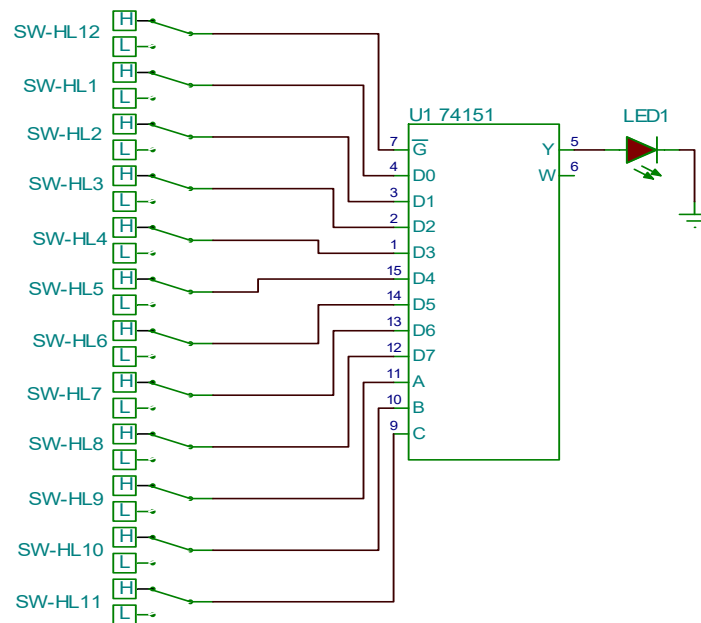
L = LOW Level

X = Don't Care

D0, D1...D7 = the level of the respective D input

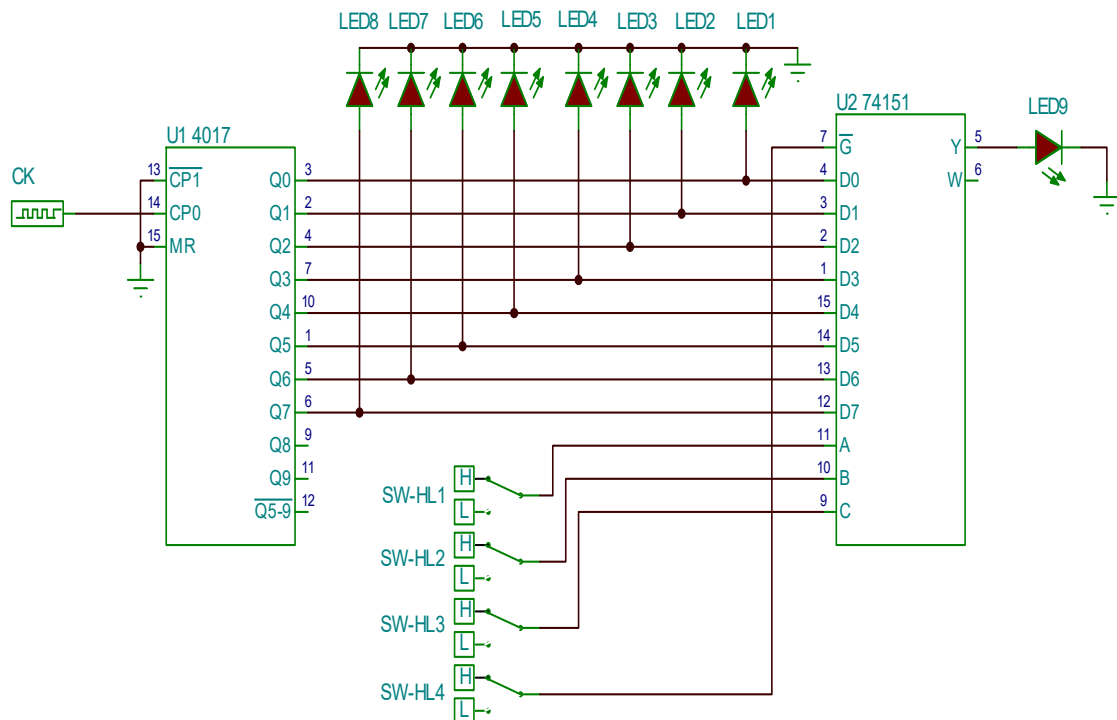
Hình 7.1: Sơ đồ chân, sơ đồ logic, bảng trạng thái IC 74LS151.

7.3.2. Kiểm tra IC 74LS151:



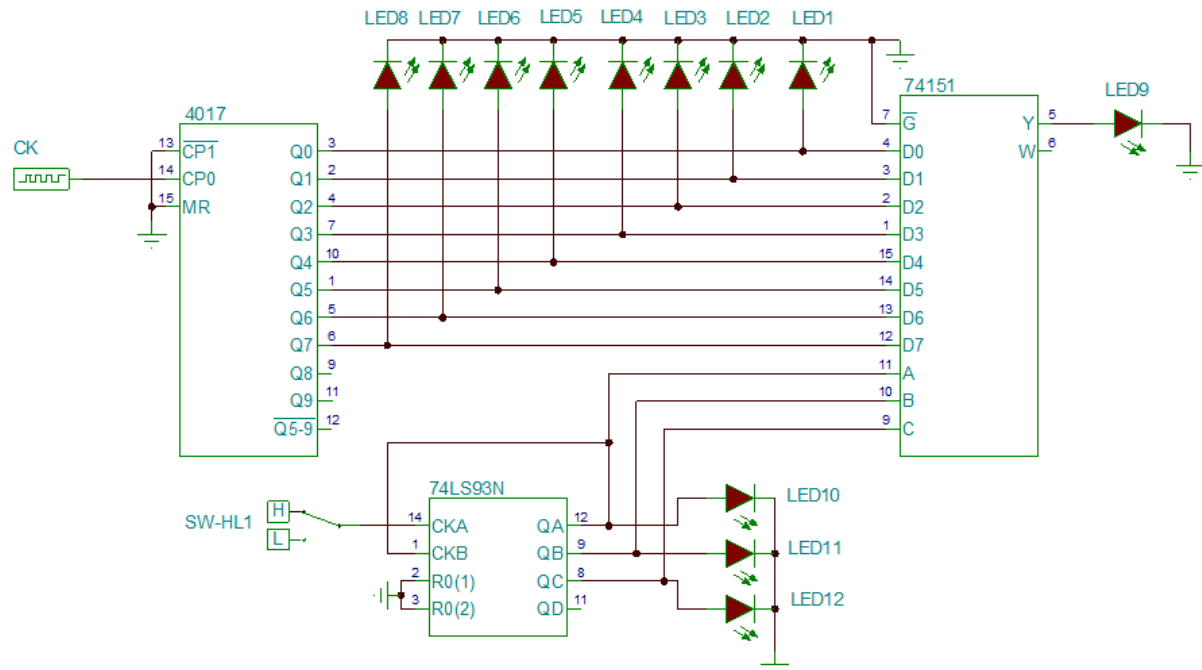
Hình 7-2: Mạch kiểm tra hoạt động của IC 74LS151.

7.3.3. Mạch chọn lần lượt từng kênh điều khiển chọn bằng Switch:



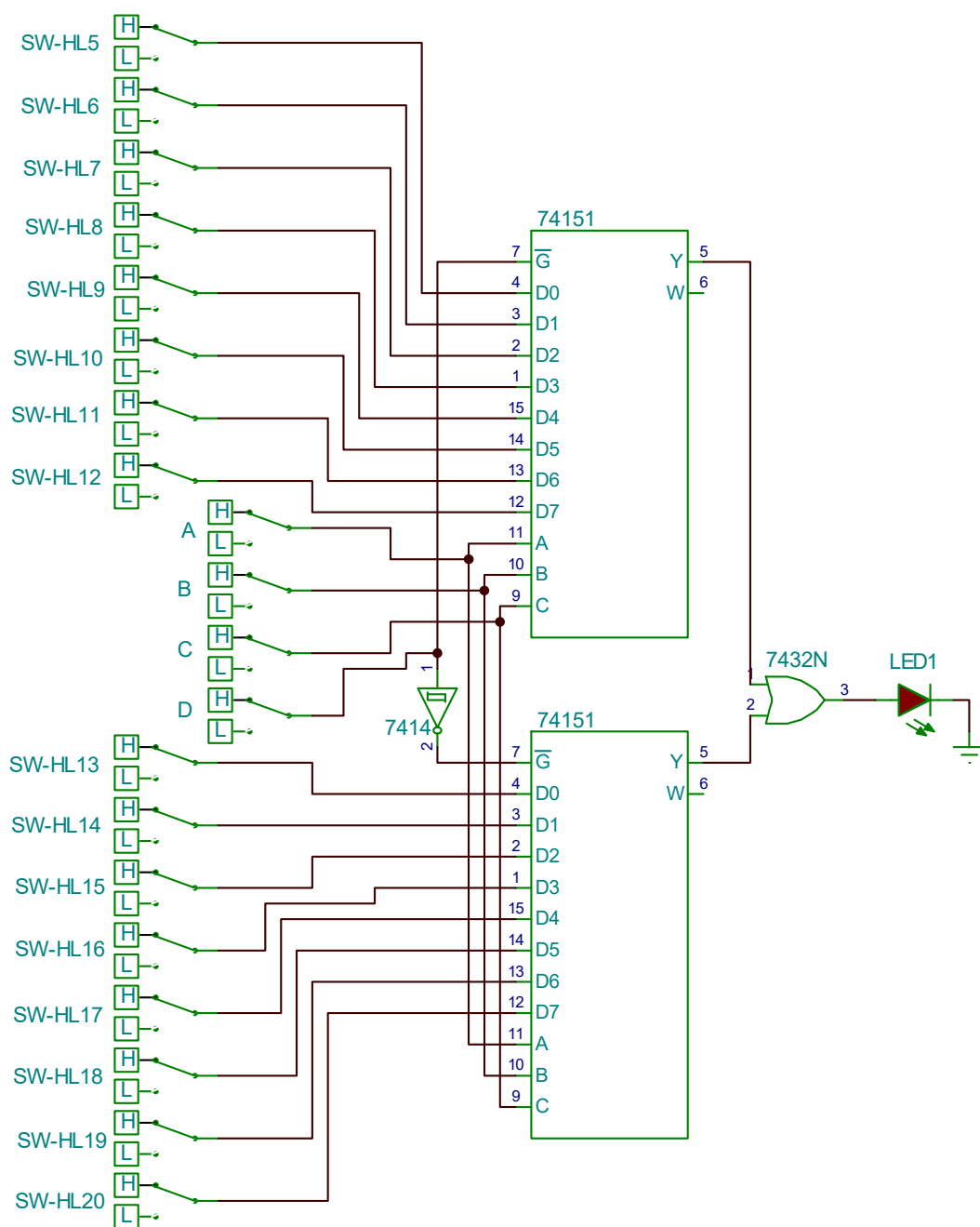
Hình 7-3: Mạch chọn lần lượt từng kênh bằng Switch.

7.3.4. Mạch chọn lần lượt từng kênh điều khiển chọn bằng contact:



Hình 7-3: Mạch chọn lần lượt từng kênh bằng contact.

7.3.5. Mạch kiểm tra:



Hình 7-4: Mạch dùng 2 IC 74LS151.

Bài 8:

MẠCH ĐỀM – MẠCH GIẢI MÃ

8.1. Mục đích yêu cầu:

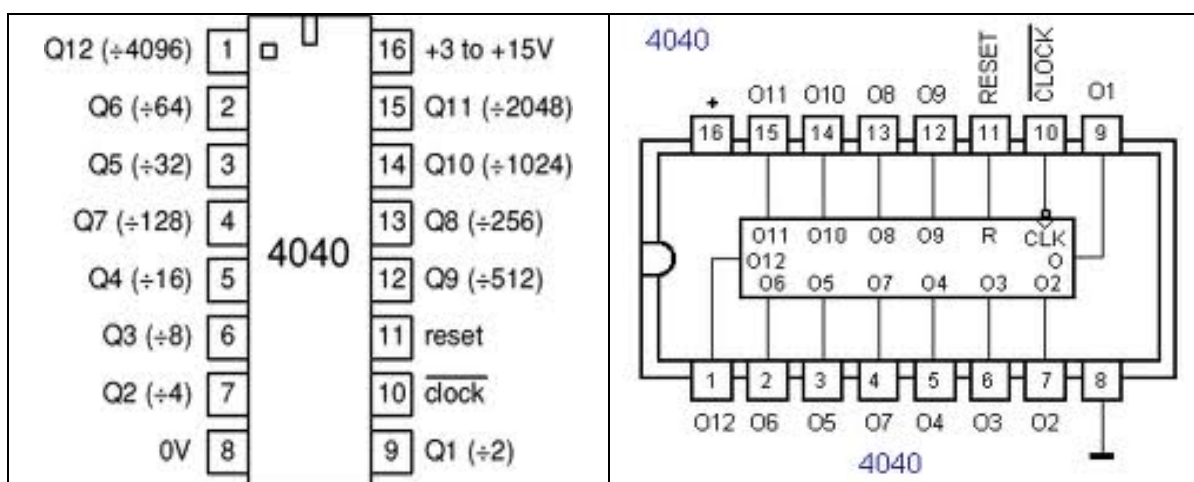
- Khảo sát các vi mạch đếm 4040, 4020.
- Khảo sát các vi mạch giải mã 74138.
- Thiết kế các mạch ứng dụng IC 4040, 4020.

8.2. Dụng cụ học tập:

- Bộ thí nghiệm vi mạch, đồng hồ đo VOM, dao động ký.
- Vi mạch 4040, 4020, 74138 và các IC đã khảo sát.

8.3. Các bước thực hành:

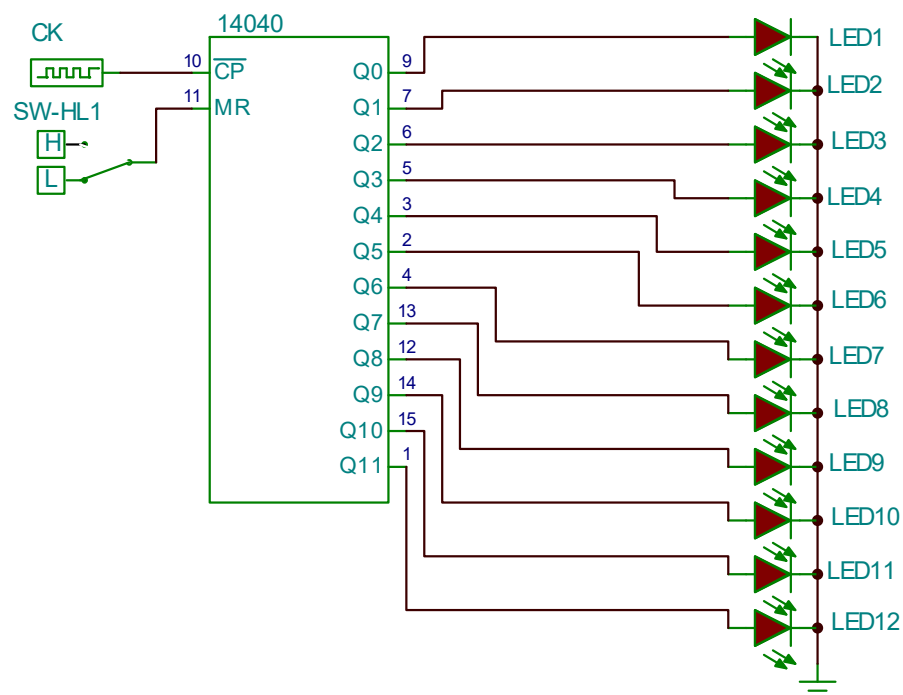
8.3.1. Khảo sát IC đếm 4040:



Clock	Reset	Output State
	0	No Change
	0	Advance to next state
X	1	All Output are low

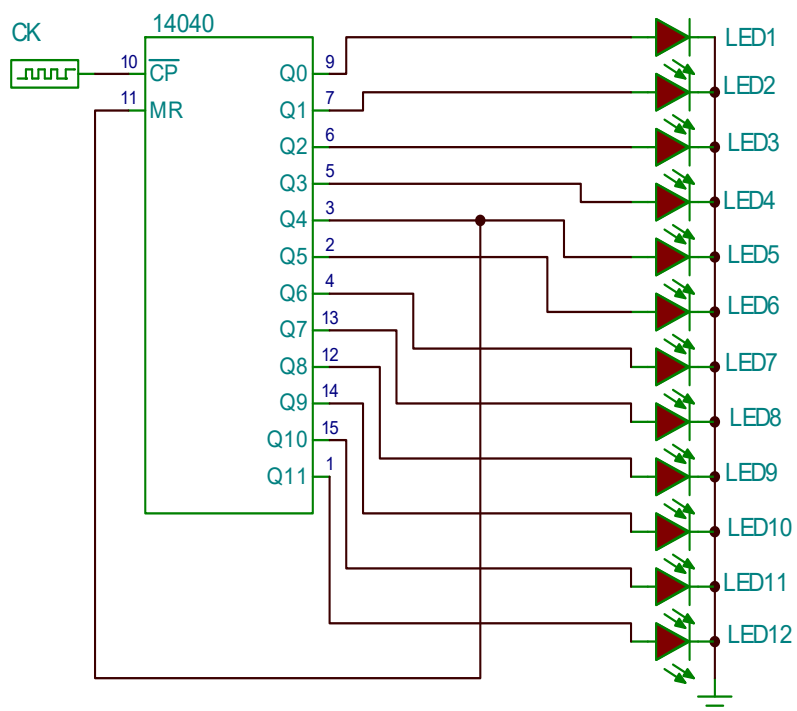
Hình 8-1: Sơ đồ chân, sơ đồ logic, bảng trạng thái IC 4040.

8.3.2. Kiểm tra IC đếm 4040:



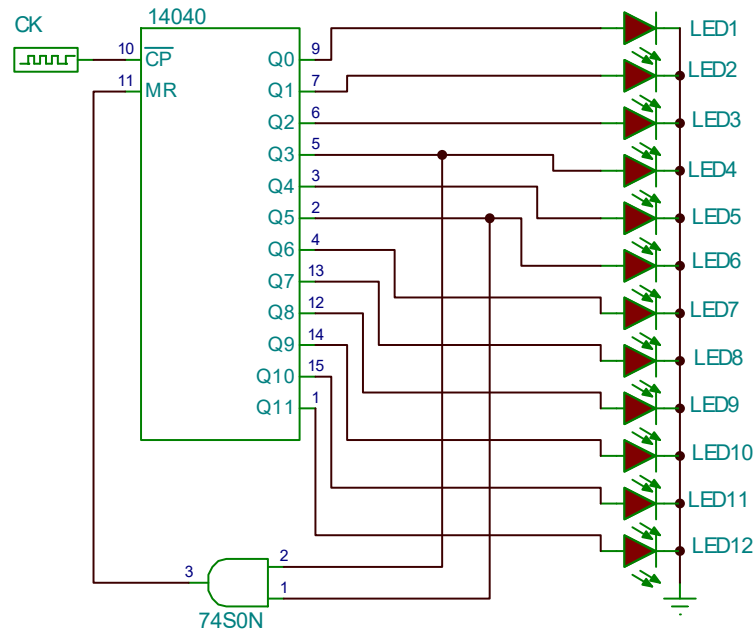
Hình 8-2: Sơ đồ mạch kiểm tra hoạt động của IC đếm.

8.3.3. Mạch đếm mod 16 sử dụng IC đếm 4040:



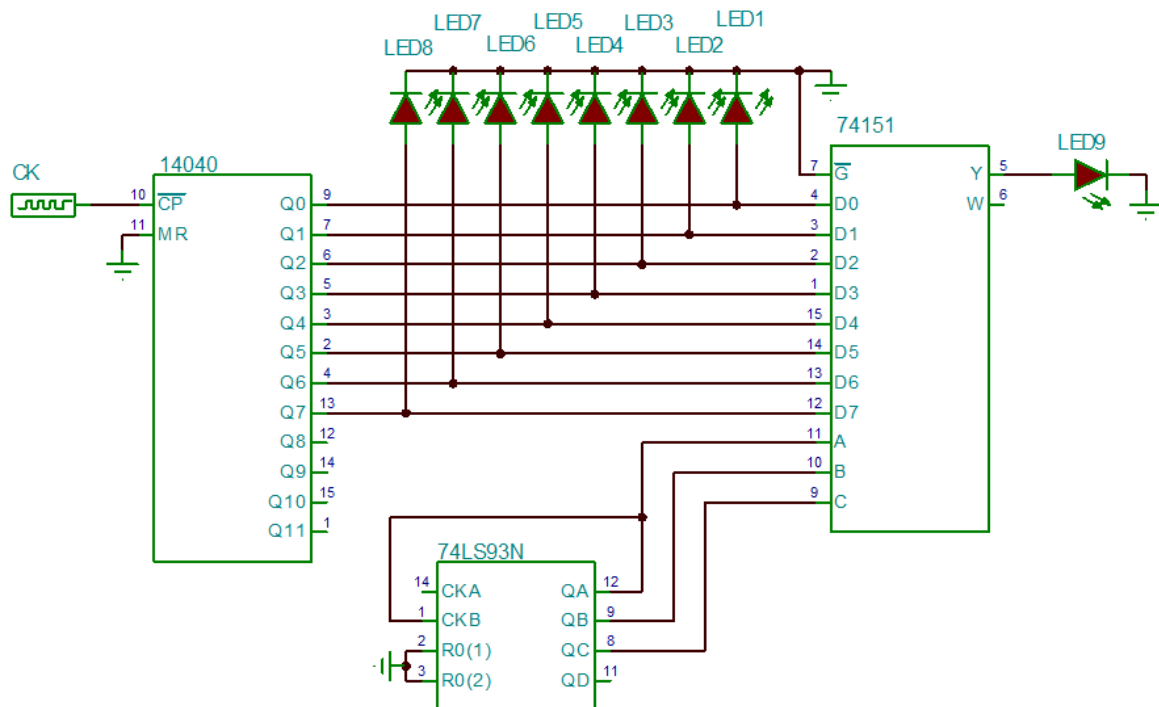
Hình 8-3: Sơ đồ mạch đếm mod 16.

8.3.4. Mạch đếm mod ... sử dụng IC đếm 4040:



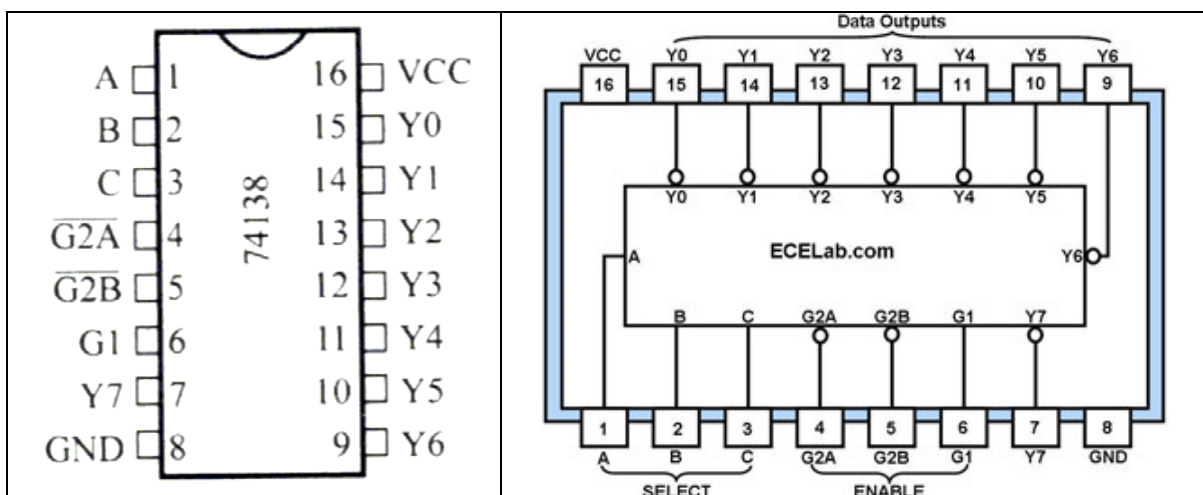
Hình 8-4: Mạch đếm mod...

8.3.5. Mạch chia tần số sử dụng IC 4040 có thể điều khiển bằng 1 phím nhấn thường hở:



Hình 8-5: Sơ đồ chia tần số có lựa chọn tần số.

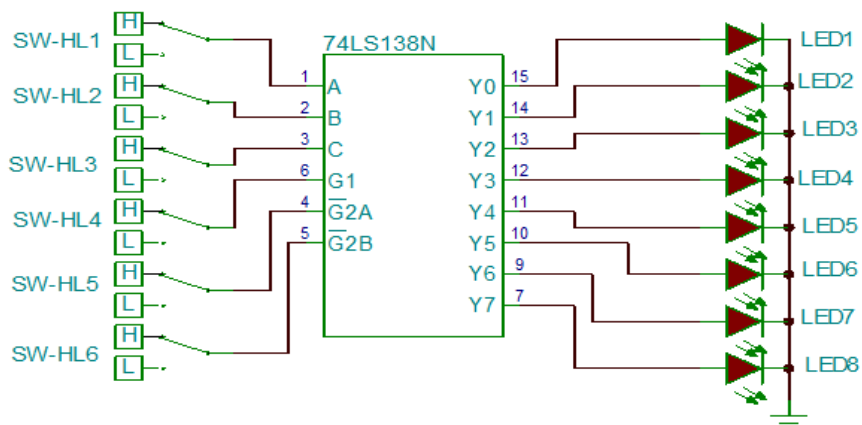
8.5. Khảo sát IC giải mã 74138:



Ngõ vào						Ngõ ra							
E ₁	E ₂	E ₃	A ₀	A ₁	A ₂	O ₀	O ₁	O ₂	O ₃	O ₄	O ₅	O ₆	O ₇
1	X	X	X	X	X	1	1	1	1	1	1	1	1
X	1	X	X	X	X	1	1	1	1	1	1	1	1
X	X	0	X	X	X	1	1	1	1	1	1	1	1
0	0	1	0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	0	1	0	1	1	1	1	1	1
0	0	1	0	1	0	1	1	0	1	1	1	1	1
0	0	1	1	1	0	1	1	1	0	1	1	1	1
0	0	1	0	0	1	1	1	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	1	1	0	1	1
0	0	1	0	1	1	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	0

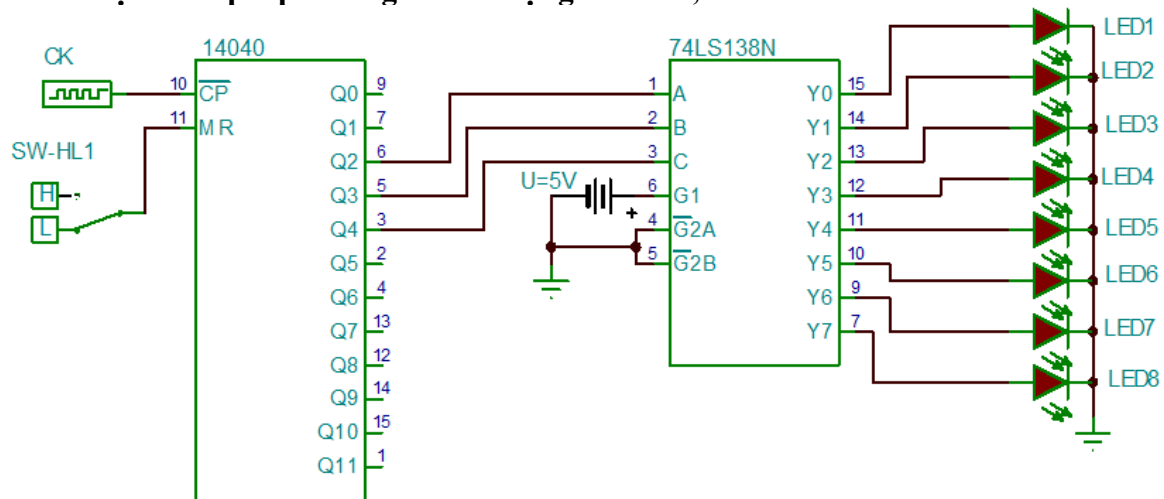
Hình 8-9: Sơ đồ chân, sơ đồ logic, bảng trạng thái IC 74LS138.

8.5.1. Kiểm tra hoạt động của IC giải mã 74LS138:



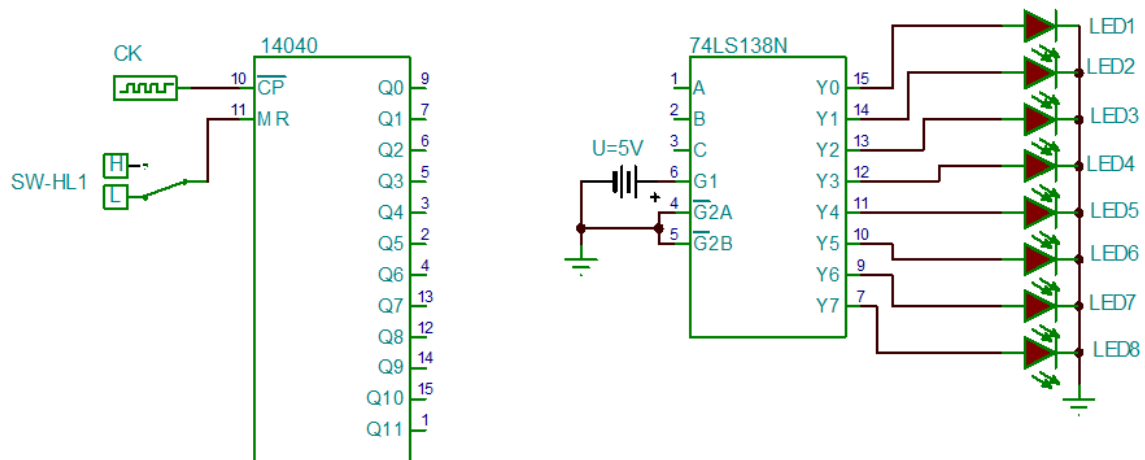
Hình 8-10: Mạch kiểm tra IC 74LS138.

8.5.2. Mạch cho phép 4 xung CK sử dụng IC 4040, IC 74LS138N.



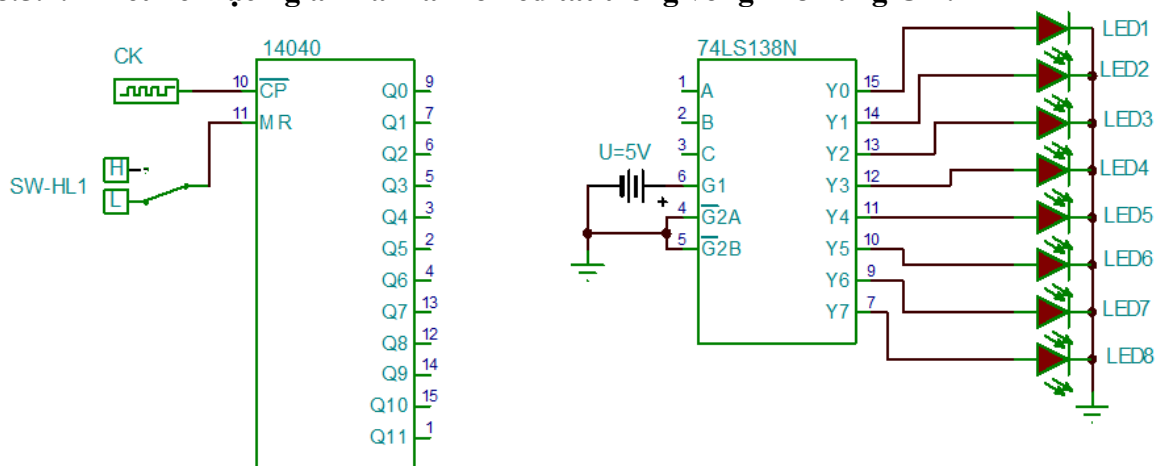
Hình 8-11: Mạch cho phép 4 xung.

8.5.3. Thiết kế mạch giải mã mà mỗi led tắt trong vòng 8 xung CK:



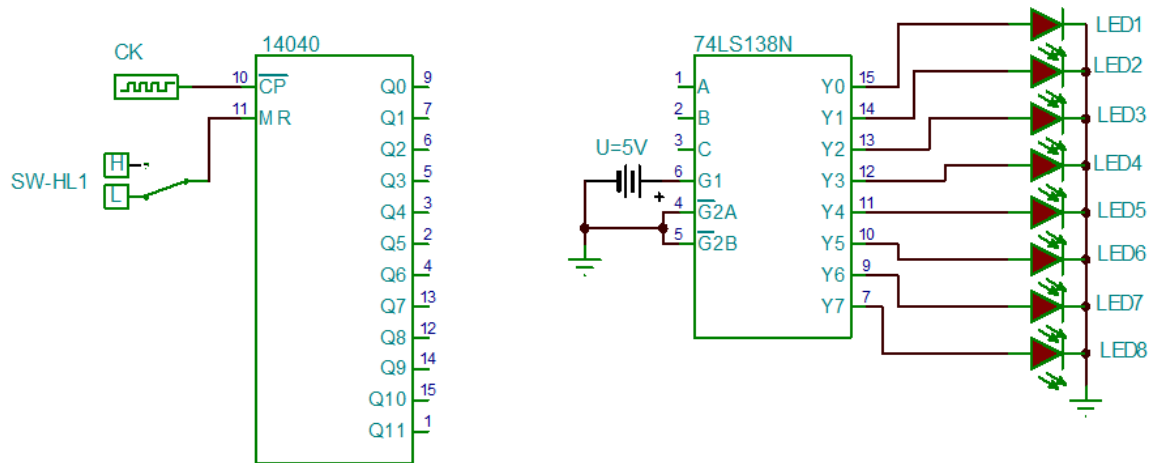
Hình 8-12: Mạch cho phép...xung

8.5.4. Thiết kế mạch giải mã mà mỗi led tắt trong vòng 128 xung CK:



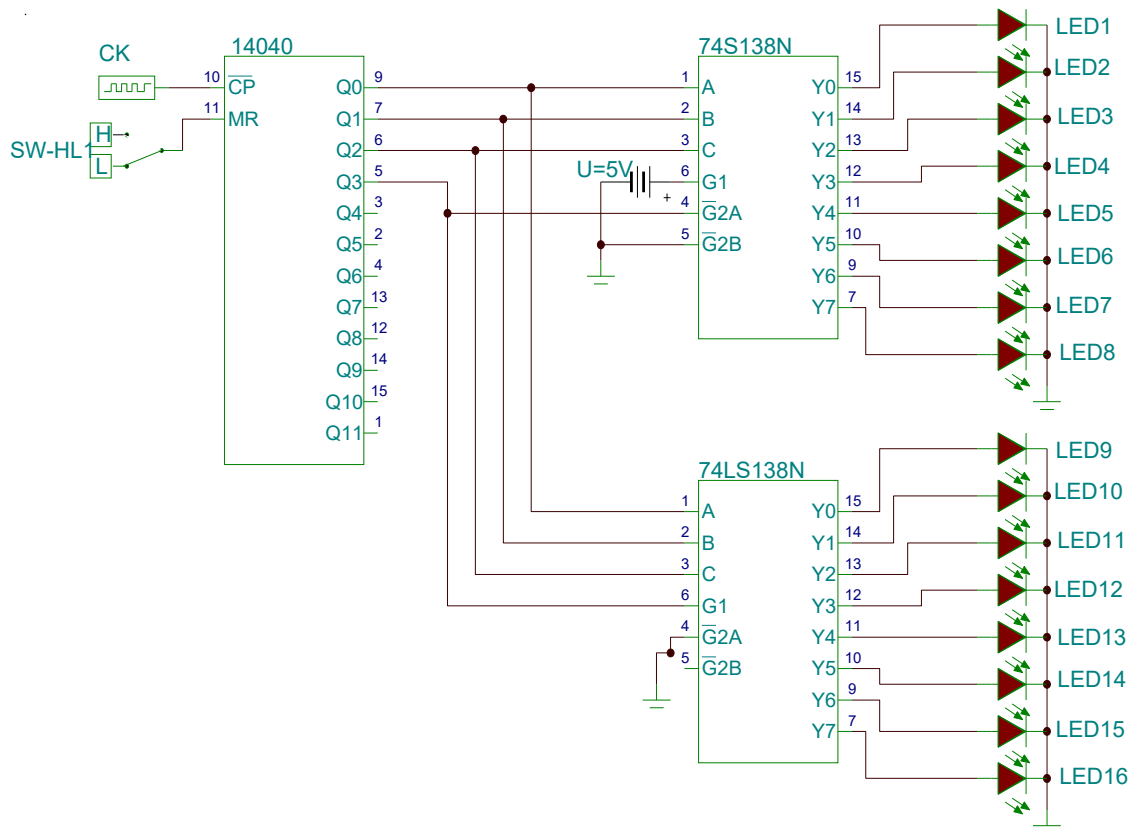
Hình 8-13: Mạch cho phép xung...

8.5.5. Thiết kế mạch giải mã mà mỗi led tắt trong vòng 256 xung CK:



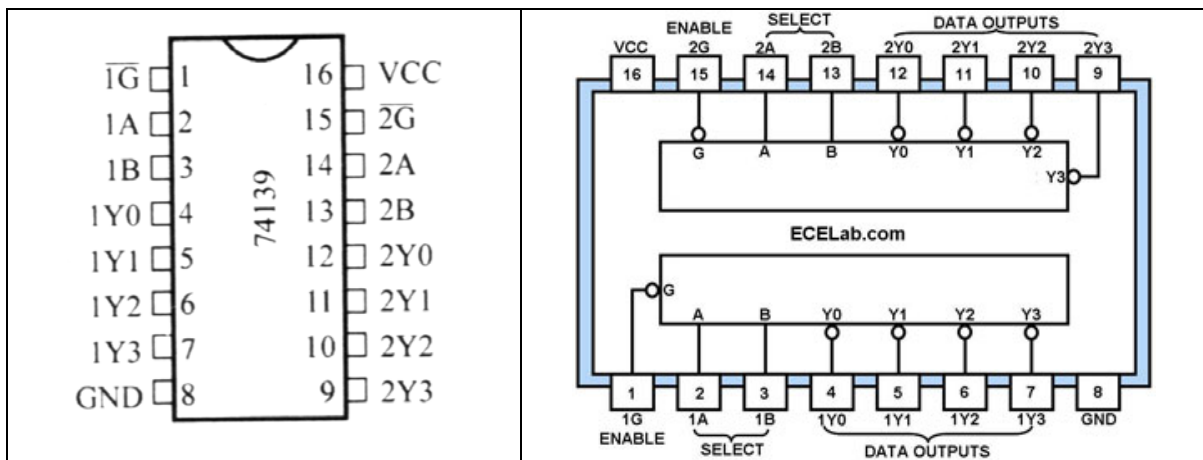
Hình 8-14: Mạch cho phép...xung.

8.5.6. Mạch giải mã 4 đường sang 16 đường dùng 2 IC 74LS138.



Hình 8-15: Mạch giải mã 4 đường sang 16 đường dùng 2 IC 74LS138.

8.6.1. Khảo sát IC giải mã IC 74LS139N.

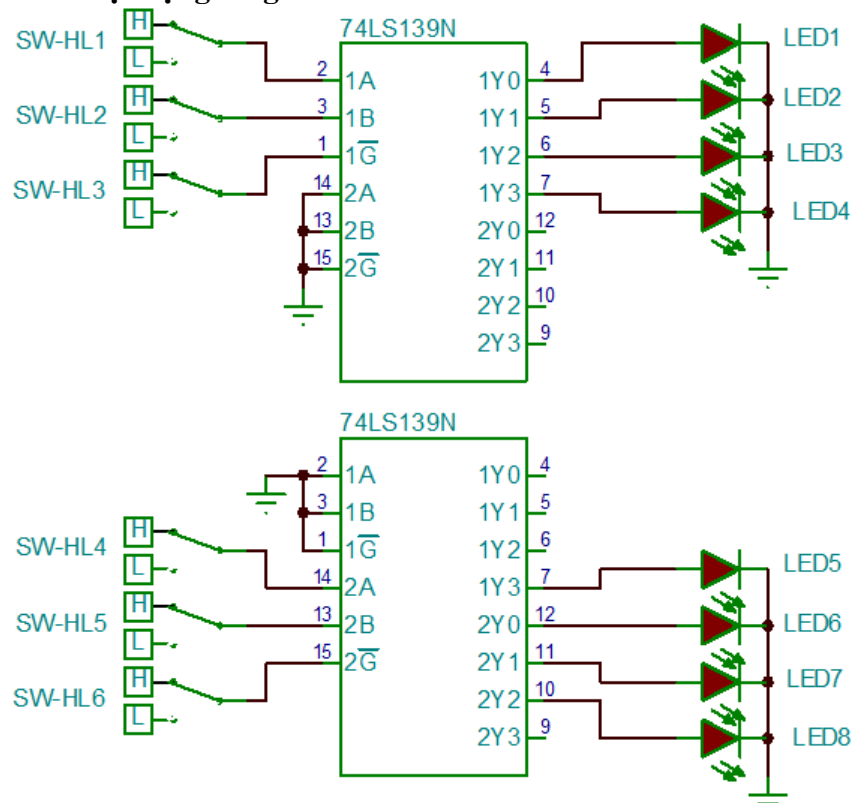


Bảng trạng thái:

INPUTS			OUTPUTS			
E	A0	A1	Q0	Q1	Q2	Q3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	H	L	H	L	H	H
L	L	H	H	H	L	H
L	H	H	H	H	H	L

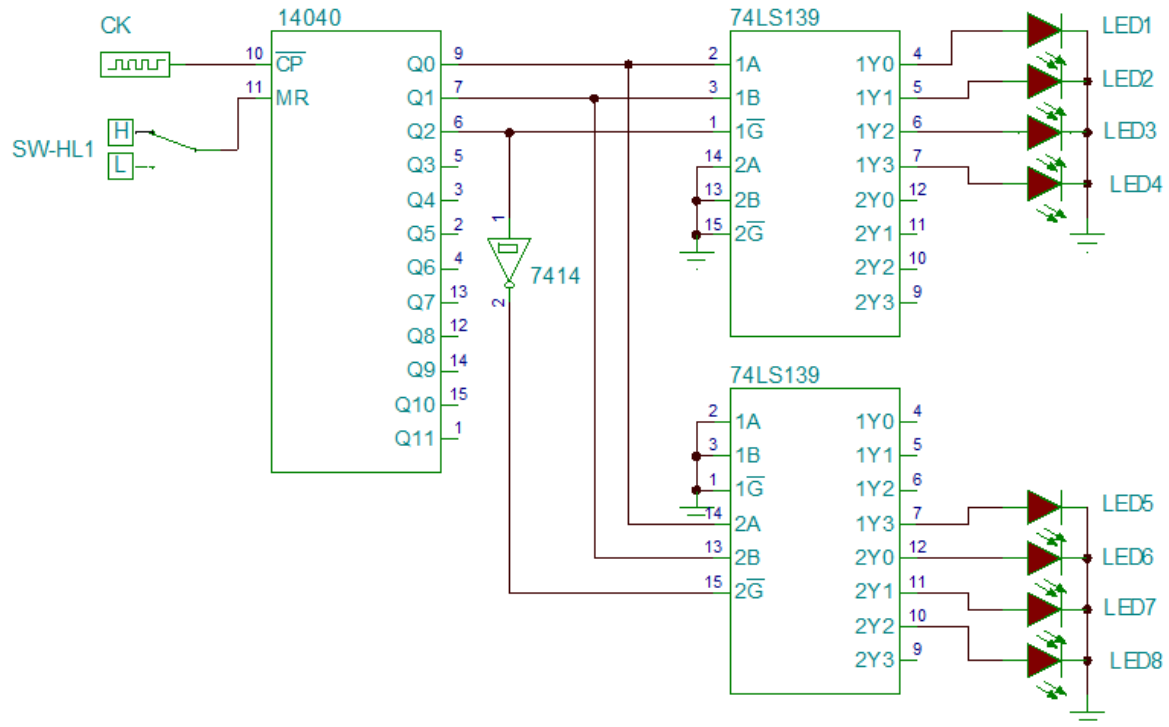
Hình 8-16: Sơ đồ chân, sơ đồ logic, bảng trạng thái IC 74LS139.

8.6.2. Kiểm tra hoạt động IC giải mã IC 74LS139:



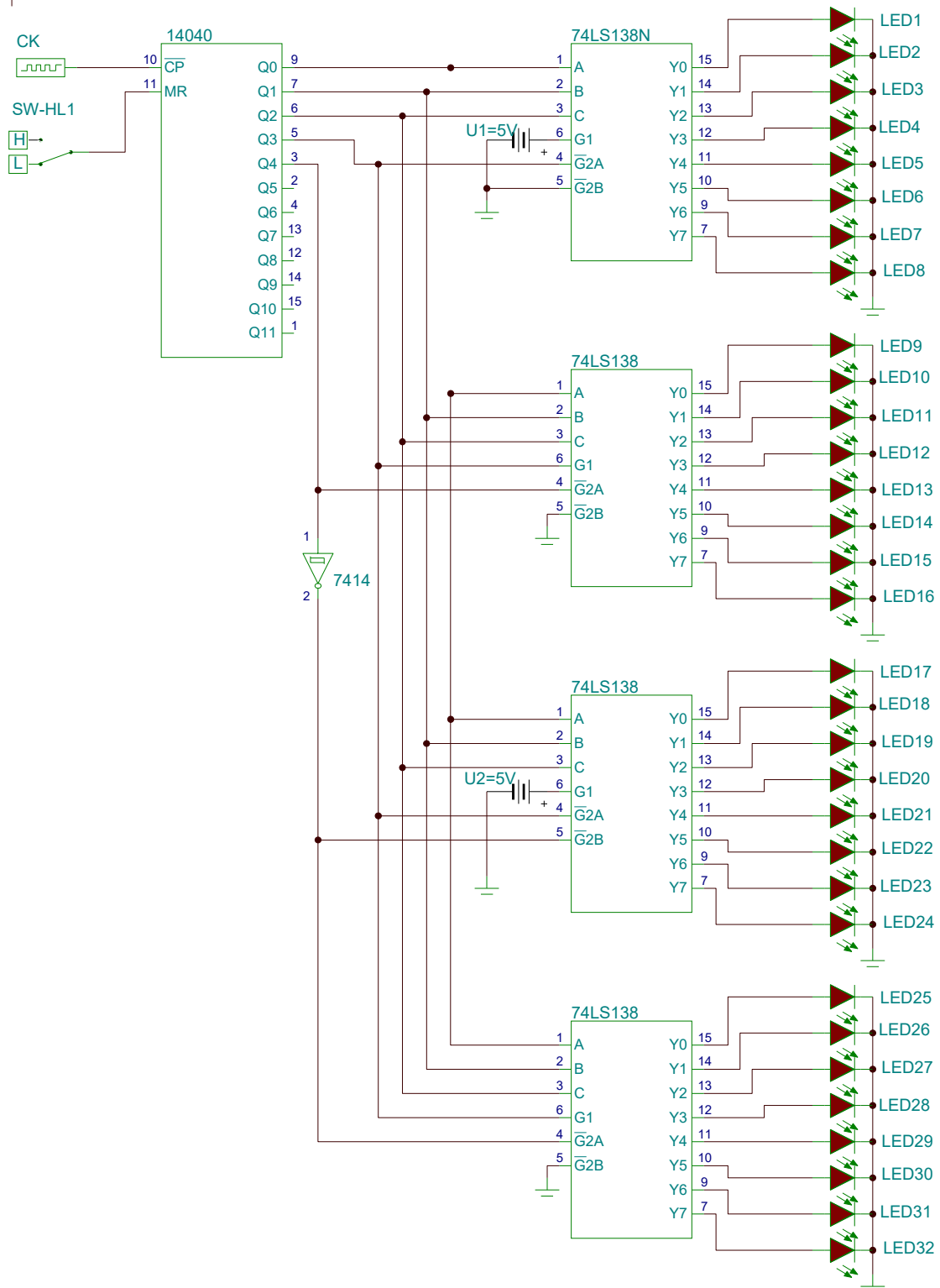
Hình 8-17: kiểm tra IC giải mã 74LS139.

8.6.3. Mạch giải mã 3 đường sang 8 đường sử dụng IC 74LS139:

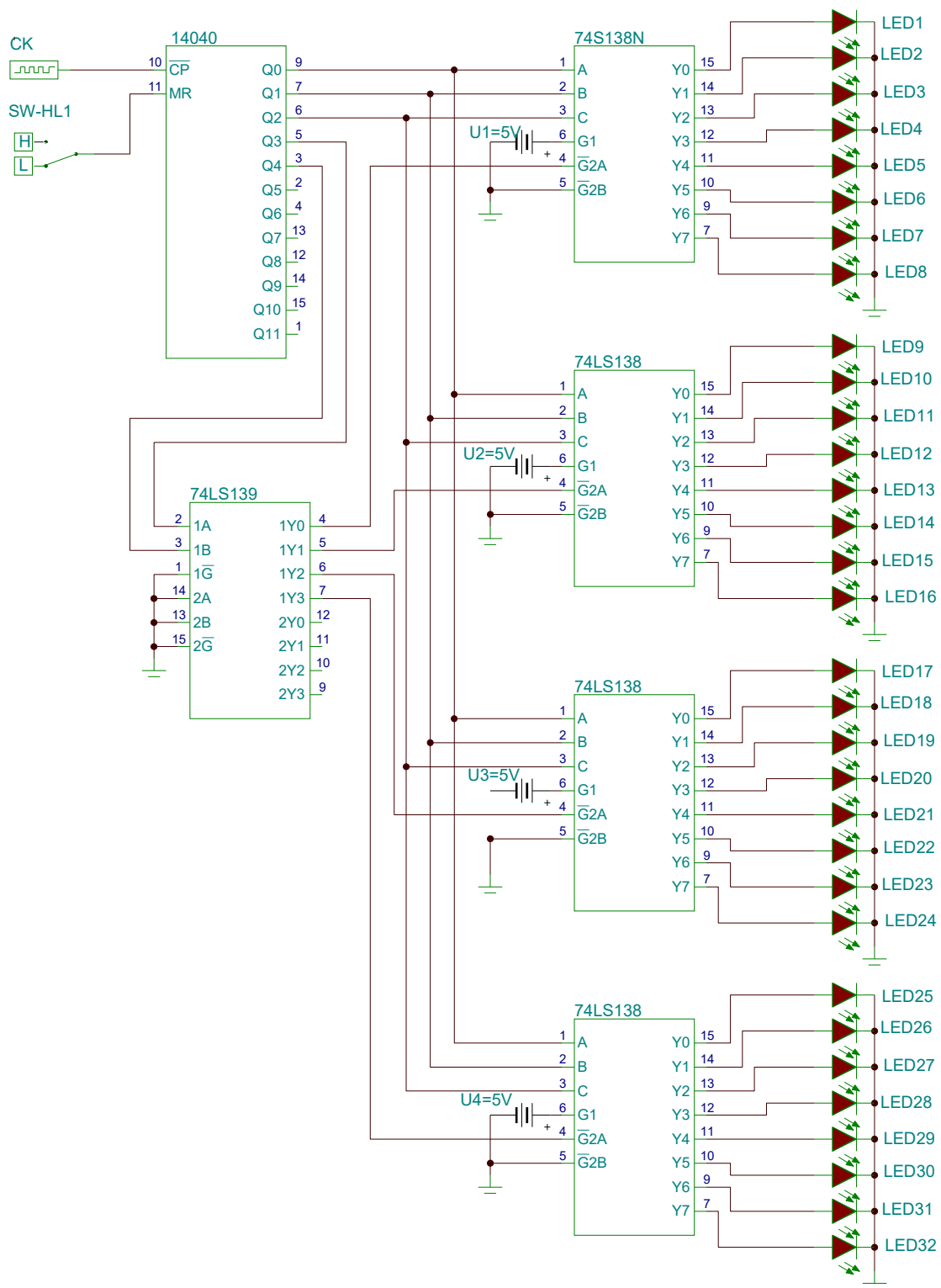


Hình 8-18: Mạch giải mã 3 đường sang 8 đường sử dụng IC 74LS139.

8.6.4. Mạch giải mã 4 đường sang 16 đường



Hình 8-19: Mạch giải mã 4 đường sang 16 đường sử dụng 2 IC 74LS138.



Hình 8-20: Mạch giải mã 4 đường sang 16 đường sử dụng 2 IC 74LS138.

Bài 9: MẠCH TẠO DAO ĐỘNG – MẠCH ĐƠN ỔN

9.1. Mục đích yêu cầu:

Khảo sát các mạch dao động, mạch tạo xung đơn ổn dùng vi mạch 555 và các vi mạch số.

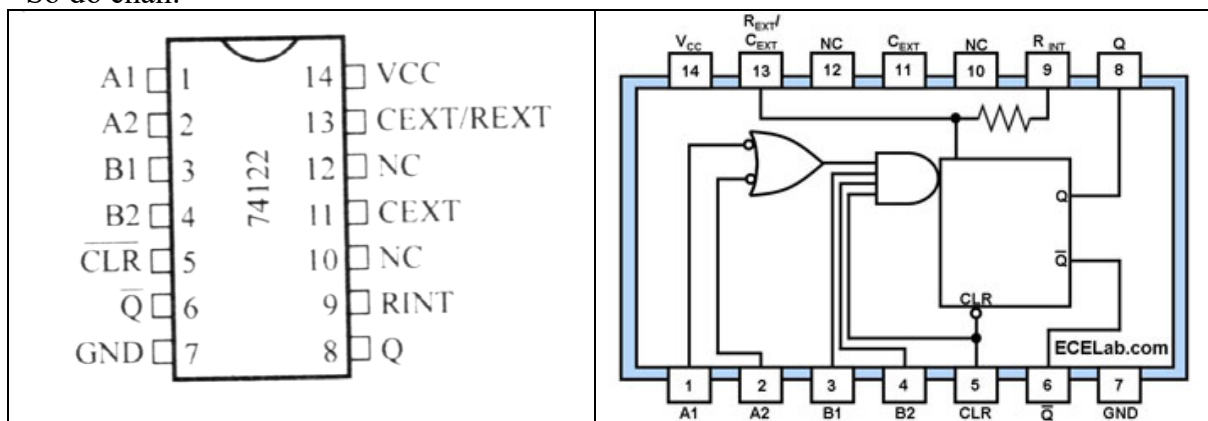
9.2. Dụng cụ học tập:

- Bộ thí nghiệm vi mạch, đồng hồ đo DVM, dao động ký.
- Các vi mạch 74121, 74122, 74123, 74221, 74222 và các IC đã khảo sát.

9.3. Khảo sát IC 74122 – 74123:

9.3.1. IC 74122

Sơ đồ chân:



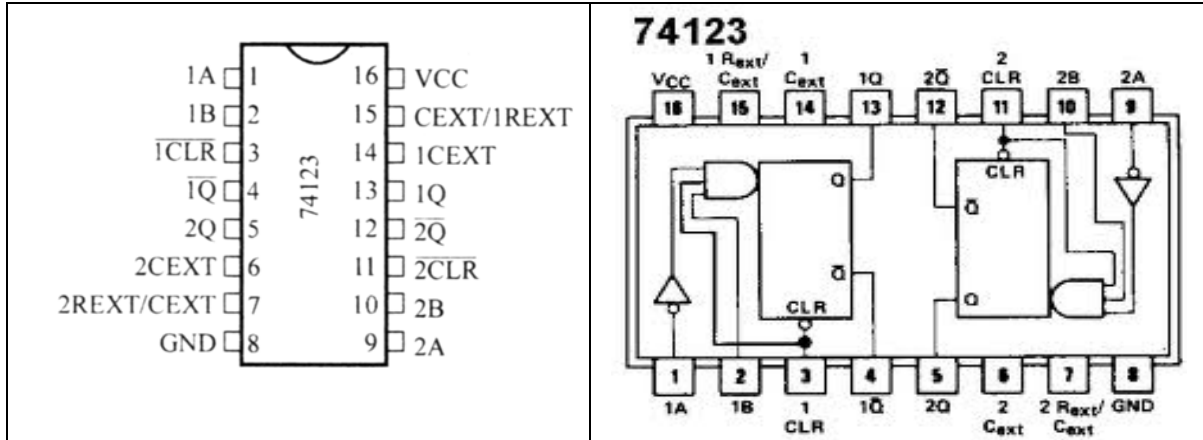
Bảng trạng thái:

INPUTS					OUTPUTS	
CLEAR	A1	A2	B1	B2	Q	$\bar{Q}$
L	X	X	X	X	L	H
X	H	H	X	X	L	H
X	X	X	L	X	L	H
X	X	X	X	L	L	H
H	L	X	↑	H		
H	L	X	H	↑		
H	X	L	↑	H		
H	X	L	H	↑		
H	H	↓	H	H		
H	↓	↓	H	H		
H	↓	H	H	H		
↑	L	X	H	H		
↑	X	L	H	H		

Hình 9-1: Sơ đồ chân, sơ đồ logic, bảng trạng thái IC 74122.

9.3.2. IC 74123

Sơ đồ chân



Bảng trạng thái;

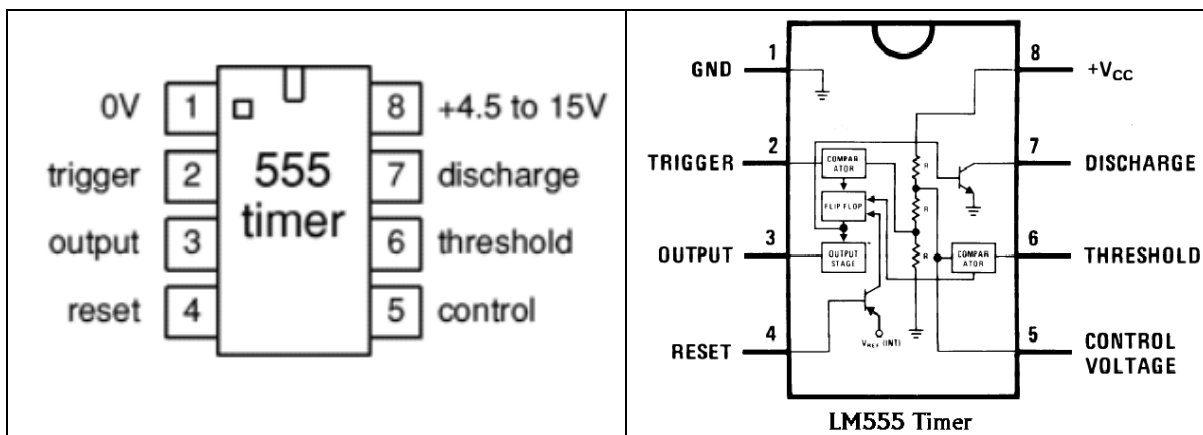
INPUTS			OUTPUTS	
CLEAR	A	B	Q	$\bar{Q}$
L	X	X	L	H
X	H	X	L	H
X	X	L	L	H
H	L	↑		
H	↓	H		
↑	L	H		

Hình 9-2: Sơ đồ chân, sơ đồ logic, bảng trạng thái IC 74123.

9.3.1. Kiểm tra hoạt động của IC 74122:

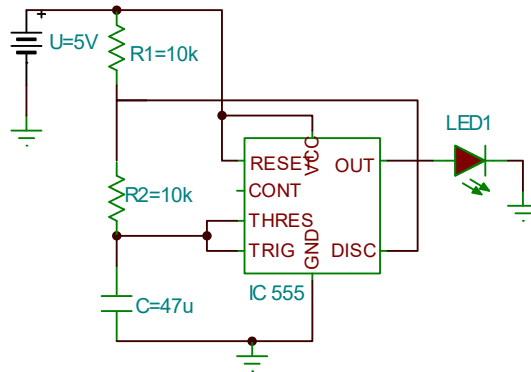
9.3.2. Kiểm tra hoạt động của IC 74123:

9.4. Khảo sát IC 555:



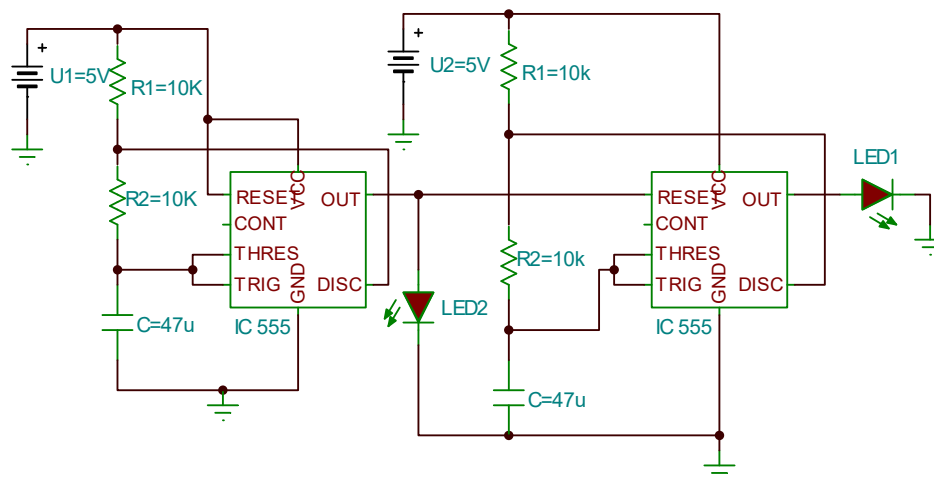
Hình 9-6: Sơ đồ chân, sơ đồ logic IC 555.

9.4.1. Mạch dao động dùng IC 555:



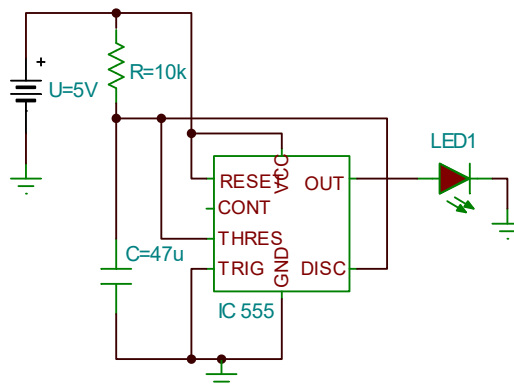
Hình 9-7: Mạch dao động dùng IC 555.

9.4.2. Mạch dao động có thêm mạch điều khiển dùng IC 555:



Hình 9-8: Mạch dao động có điều khiển dùng IC 555.

9.4.3. Mạch đơn ổn dùng IC 555:



Hình 9-9: Mạch đơn ổn dùng IC 555.